



500.43446X00

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): HIRAKO, et al.

Serial No.: 10/765,109

Filed: January 28, 2004

Title: A STORAGE DEVICE CONTROL APPARATUS AND A METHOD OF CONTROLLING THE SAME

**LETTER CLAIMING RIGHT OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

February 25, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-402996  
Filed: December 2, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

Carl I. Brundidge  
Registration No.: 29,621

CIB/rr  
Attachment

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 2 月    2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 4 0 2 9 9 6  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 4 0 2 9 9 6 ]

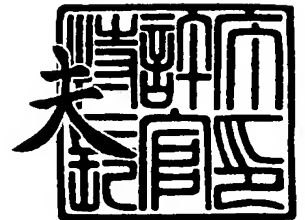
出      願      人                      株式会社日立製作所  
Applicant(s):



2 0 0 4 年    1 月 2 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 4 - 3 0 0 3 0 1 4

【書類名】 特許願  
【整理番号】 340301546  
【提出日】 平成15年12月 2日  
【あて先】 特許庁長官殿  
【国際特許分類】 G06F 3/06  
【発明者】  
    【住所又は居所】 神奈川県小田原市中里 3 2 2 番 2 号 株式会社日立製作所 R A  
    I D システム事業部内  
    【氏名】 平兎 典夫  
【特許出願人】  
    【識別番号】 000005108  
    【氏名又は名称】 株式会社日立製作所  
【代理人】  
    【識別番号】 110000176  
    【氏名又は名称】 一色国際特許業務法人  
    【代表者】 一色 健輔  
【手数料の表示】  
    【予納台帳番号】 211868  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信するチャンネル制御部と、

前記記憶デバイスに対するデータ入出力に関する制御を行うディスク制御部と、

前記チャンネル制御部と前記ディスク制御部との間で授受される入出力データを記憶するキャッシュメモリと、を備え、

前記チャンネル制御部は、

前記情報処理装置との間で通信を行う通信インタフェース部と、

前記通信インタフェース部と第 1 のバスを介して接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入出力データの転送を行うデータ転送部と

、  
前記データ転送部と第 2 のバスを介して接続し、前記データ転送部の制御を行うプロセッサと、

を備え、

前記通信インタフェース部は、前記プロセッサに対して、データを読み出すことを指示する読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第 1 のバスが第 1 の通信規約に従う場合、前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送信し、

前記データ転送部は、前記第 1 のバスが第 2 の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、

前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置。

**【請求項 2】**

請求項 1 に記載の記憶デバイス制御装置であって、

前記第 1 の通信規約は、PCI-X 規格であり、

前記第 2 の通信規約は、PCI 規格であること、

を特徴とする記憶デバイス制御装置。

**【請求項 3】**

請求項 1 に記載の記憶デバイス制御装置であって、

前記データ転送部は、前記第 1 のバスが従う前記通信規約が前記第 1 の通信規約であるか前記第 2 の通信規約であるかを示す情報を設定する通信規約設定部を備え、

前記データ転送部は、前記通信規約設定部に設定されている情報に応じて、前記通信インタフェース部に前記スプリット応答を送信するかどうかを決定すること、

を特徴とする記憶デバイス制御装置。

**【請求項 4】**

請求項 1 に記載の記憶デバイス制御装置であって、

前記プロセッサは、前記通信インタフェース部に対する前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前

記プロセッサに送信すること、  
を特徴とする記憶デバイス制御装置。

【請求項 5】

請求項 4 に記載の記憶デバイス制御装置であって、  
前記プロセッサは、前記第 1 のバスの使用权を獲得した後に、前記読み出しコマンドを前記データ転送部に送信し、  
前記プロセッサは、前記スプリット応答を受信し、前記第 1 のバスの前記使用权を解放し、  
前記データ転送部は、前記第 1 のバスの前記使用权を獲得した後に、前記読み出しデータを前記プロセッサに送信し、前記読み出しデータを前記プロセッサに送信した後に、前記第 1 のバスの前記使用权を解放すること、  
を特徴とする記憶デバイス制御装置。

【請求項 6】

請求項 1 に記載の記憶デバイス制御装置であって、  
前記チャネル制御部は、複数の前記通信インタフェースを備え、  
第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、  
前記チャネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続する第 3 のバスを備え、  
前記プロセッサは、第 1 の前記通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、  
前記データ転送部は、前記第 1 の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、  
前記プロセッサは、第 2 の前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、  
前記データ転送部は、前記第 2 の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第 2 の読み出しコマンドを前記第 2 の通信インタフェース部に送信し、  
前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、  
前記データ転送部は、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記プロセッサに送信し、  
前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、  
前記データ転送部は、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記プロセッサに送信すること、  
を特徴とする記憶デバイス制御装置。

【請求項 7】

請求項 1 に記載の記憶デバイス制御装置であって、  
前記チャネル制御部は、複数の前記通信インタフェースを備え、  
第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、  
前記チャネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続する第 3 のバスを備え、  
前記データ転送部は、  
前記第 1 のバスと接続し、前記第 1 の通信インタフェースとの間でデータの授受を行う第 1 のバスインタフェース部と、  
前記第 2 のバスと接続し、前記プロセッサとの間でデータの授受を行う第 2 のバスインタフェース部と、  
前記第 3 のバスと接続し、前記第 2 の通信インタフェースとの間でデータの授受を行う第 3 のバスインタフェース部と、

を備え、

前記プロセッサは、前記第1の通信インタフェース部に対する第1の前記読み出しコマンドを前記データ転送部に送信し、

前記第2のバスインタフェース部は、前記第1の読み出しコマンドを受信し、受信した前記第1の読み出しコマンドを前記第1のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、

前記第1のバスインタフェース部は、受信した前記第1の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記プロセッサは、第2の前記通信インタフェース部に対する第2の前記読み出しコマンドを前記データ転送部に送信し、

前記第2のバスインタフェース部は、前記第2の読み出しコマンドを受信し、受信した前記第2の読み出しコマンドを前記第3のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、

前記第3のバスインタフェース部は、受信した前記第2の読み出しコマンドを前記第2の通信インタフェース部に送信し、

前記第1の通信インタフェース部は、前記第1の読み出しコマンドに応じた第1の前記読み出しデータを前記データ転送部に送信し、

前記第1のバスインタフェース部は、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記第2のバスインタフェース部に送信し、前記第2のバスインタフェース部は、受信した前記第1の読み出しデータを前記プロセッサに送信し、

前記第2の通信インタフェース部は、前記第2の読み出しコマンドに応じた第2の前記読み出しデータを前記データ転送部に送信し、

前記第3のバスインタフェース部は、前記第2の読み出しデータを受信し、受信した前記第2の読み出しデータを前記第2のバスインタフェース部に送信し、前記第2のバスインタフェース部は、受信した前記第2の読み出しデータを前記プロセッサに送信すること

を特徴とする記憶デバイス制御装置。

#### 【請求項8】

請求項1に記載の記憶デバイス制御装置であって、

前記チャネル制御部は、複数の前記プロセッサを備え、

第1の前記プロセッサは、前記通信インタフェース部に対する第1の前記読み出しコマンドを前記データ転送部に送信し、

第2の前記プロセッサは、前記通信インタフェース部に対する第2の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第1及び第2の読み出しコマンドを受信し、前記第1及び第2のプロセッサに前記スプリット応答を送信し、前記第1の読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記第1の読み出しコマンドに応じて第1の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第1の読み出しデータを前記第1のプロセッサに送信し、

前記通信インタフェース部は、前記第2の読み出しコマンドに応じて第2の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第2の読み出しデータを前記第2のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

#### 【請求項9】

請求項8に記載の記憶デバイス制御装置であって、

前記データ転送部は、前記第1及び第2の読み出しコマンドを受信し、前記第1又は第2のコマンドのうち先に受信したものを先に前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置。

**【請求項 10】**

請求項 1 に記載の記憶デバイス制御装置であって、  
前記チャネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、  
前記チャネル制御部は、  
第 1 の前記通信インタフェース部と前記データ転送装置とを接続する第 1 のバスと、  
第 1 の前記プロセッサと前記データ転送装置とを接続する第 2 のバスと、  
第 2 の前記通信インタフェース部と前記データ転送装置とを接続する第 3 のバスと、  
第 2 の前記プロセッサと前記データ転送装置とを接続する第 4 のバスと、  
を備え、  
前記データ転送部は、  
前記第 1 にバスに接続し、前記第 1 の通信インタフェース部との間でデータを授受する第 1 のバスブリッジと、  
前記第 2 のバスに接続し、前記第 1 のプロセッサとの間でデータを授受する第 2 のバスブリッジと、  
前記第 3 のバスに接続し、前記第 2 の通信インタフェース部との間でデータを授受する第 3 のバスブリッジと、  
前記第 4 のバスに接続し、前記第 2 のプロセッサとの間でデータを授受する第 4 のバスブリッジと、  
を備え、  
前記第 2 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、  
前記第 4 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続すること、  
を特徴とする記憶デバイス制御装置。

**【請求項 11】**

請求項 10 に記載の記憶デバイス制御装置であって、  
前記第 1 のプロセッサは、前記第 2 のバスの使用権を獲得し、前記第 1 の通信インタフェース部に対する、データの読み出しを指示する第 1 の読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、第 1 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、  
前記第 1 のプロセッサは、前記第 1 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、  
前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、  
前記第 1 のプロセッサは、前記第 1 のバスの前記使用権を獲得し、前記第 2 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、第 2 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 2 の読み出しコマンドを前記第 3 のバスブリッジに転送し、  
前記第 1 のプロセッサは、前記第 2 のスプリット応答を受信し、前記第 1 のバスの前記使用権を解放し、  
前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、  
前記第 1 のバスブリッジは、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスブリッジに転送し、  
前記第 2 のバスブリッジは、前記第 1 のバスの前記使用権を獲得し、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、前記第 1 のバスの前記使用権を解放し、

前記第2の通信インタフェース部は、前記第2の読み出しコマンドに応じた第2の前記読み出しデータを前記データ転送部に送信し、

前記第3のバスブリッジは、前記第2の読み出しデータを受信し、受信した前記第2の読み出しデータを前記第2のバスブリッジに転送し、

前記第2のバスブリッジは、前記第1のバスの前記使用権を獲得し、前記第2の読み出しデータを前記第1のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項12】

請求項10に記載の記憶デバイス制御装置であって、

前記第1のプロセッサは、前記第1の通信インタフェース部に対する第1の読み出しコマンドを前記データ転送部に送信し、

前記第2のプロセッサは、前記第1の通信インタフェース部に対する第2の読み出しコマンドを前記データ転送部に送信し、

前記第2のバスブリッジは、前記第1の読み出しコマンドを受信し、前記第1の読み出しコマンドを前記第1のバスブリッジに転送し、前記第1のプロセッサに前記スプリット応答を送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを受信し、前記第2の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記第4のバスブリッジは、前記第2の読み出しコマンドを受信し、前記第2の読み出しコマンドを前記第1のバスブリッジに転送し、前記第2のプロセッサに前記スプリット応答を送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを受信し、

前記第1のバスブリッジは、前記第1の読み出しコマンドに応じた第1の読み出しデータを前記第1の通信インタフェース部から受信し、受信した前記第1の読み出しデータを前記第2のバスブリッジに転送し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記第2のバスブリッジは、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記第1のプロセッサに送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドに応じた第2の読み出しデータを前記第1の通信インタフェース部から受信し、受信した前記第2の読み出しデータを前記第4のバスブリッジに転送し、

前記第4のバスブリッジは、前記第2の読み出しデータを前記第2のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置。

【請求項13】

情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信するチャンネル制御部と、

前記記憶デバイスに対するデータ入出力に関する制御を行うディスク制御部と、

前記チャンネル制御部と前記ディスク制御部との間で授受される入出力データを記憶するキャッシュメモリと、を備え、

前記チャンネル制御部は、

前記情報処理装置との間で通信を行う通信インタフェース部と、

前記通信インタフェース部と第1のバスを介して接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入出力データの転送を行うデータ転送部と

前記データ転送部と第2のバスを介して接続し、前記データ転送部の制御を行うプロセッサと、

を備える記憶デバイス制御装置の制御方法であって、

前記通信インタフェース部は、前記プロセッサに対して、データを読み出すことを指示



ずる読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第1のバスが第1の通信規約に従う場合、前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送信し、

前記データ転送部は、前記第1のバスが第2の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、

前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項14】

請求項13に記載の記憶デバイス制御装置の制御方法であって、

前記プロセッサは、前記通信インタフェース部に対する前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記読み出しコマンドを前記通信インタフェース部に送信し、

前記通信インタフェース部は、前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記プロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項15】

請求項13に記載の記憶デバイス制御装置の制御方法であって、

前記チャンネル制御部は、複数の前記通信インタフェースを備え、

第1の前記通信インタフェースは前記データ転送部と前記第1のバスで接続され、

前記チャンネル制御部は、第2の前記通信インタフェースと前記データ転送部とを接続する第3のバスを備え、

前記プロセッサは、第1の前記通信インタフェース部に対する第1の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第1の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第1の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記プロセッサは、第2の前記通信インタフェース部に対する第2の前記読み出しコマンドを前記データ転送部に送信し、

前記データ転送部は、前記第2の読み出しコマンドを受信し、前記スプリット応答を前記プロセッサに送信し、前記第2の読み出しコマンドを前記第2の通信インタフェース部に送信し、

前記第1の通信インタフェース部は、前記第1の読み出しコマンドに応じた第1の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記プロセッサに送信し、

前記第2の通信インタフェース部は、前記第2の読み出しコマンドに応じた第2の前記読み出しデータを前記データ転送部に送信し、

前記データ転送部は、前記第2の読み出しデータを受信し、受信した前記第2の読み出しデータを前記プロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【請求項16】

請求項 13 に記載の記憶デバイス制御装置であって、  
前記チャネル制御部は、複数の前記通信インタフェースを備え、  
第 1 の前記通信インタフェースは前記データ転送部と前記第 1 のバスで接続され、  
前記チャネル制御部は、第 2 の前記通信インタフェースと前記データ転送部とを接続する第 3 のバスを備え、  
前記データ転送部は、  
前記第 1 のバスと接続し、前記第 1 の通信インタフェースとの間でデータの授受を行う第 1 のバスインタフェース部と、  
前記第 2 のバスと接続し、前記プロセッサとの間でデータの授受を行う第 2 のバスインタフェース部と、  
前記第 3 のバスと接続し、前記第 2 の通信インタフェースとの間でデータの授受を行う第 3 のバスインタフェース部と、  
を備え、  
前記プロセッサは、前記第 1 の通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスインタフェース部は、前記第 1 の読み出しコマンドを受信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、  
前記第 1 のバスインタフェース部は、受信した前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、  
前記プロセッサは、第 2 の前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスインタフェース部は、前記第 2 の読み出しコマンドを受信し、受信した前記第 2 の読み出しコマンドを前記第 3 のバスインタフェース部に送信し、前記スプリット応答を前記プロセッサに送信し、  
前記第 3 のバスインタフェース部は、受信した前記第 2 の読み出しコマンドを前記第 2 の通信インタフェース部に送信し、  
前記第 1 の通信インタフェース部は、前記第 1 の読み出しコマンドに応じた第 1 の前記読み出しデータを前記データ転送部に送信し、  
前記第 1 のバスインタフェース部は、前記第 1 の読み出しデータを受信し、受信した前記第 1 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 1 の読み出しデータを前記プロセッサに送信し、  
前記第 2 の通信インタフェース部は、前記第 2 の読み出しコマンドに応じた第 2 の前記読み出しデータを前記データ転送部に送信し、  
前記第 3 のバスインタフェース部は、前記第 2 の読み出しデータを受信し、受信した前記第 2 の読み出しデータを前記第 2 のバスインタフェース部に送信し、前記第 2 のバスインタフェース部は、受信した前記第 2 の読み出しデータを前記プロセッサに送信すること、  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項 17】

請求項 13 に記載の記憶デバイス制御装置の制御方法であって、  
前記チャネル制御部は、複数の前記プロセッサを備え、  
第 1 の前記プロセッサは、前記通信インタフェース部に対する第 1 の前記読み出しコマンドを前記データ転送部に送信し、  
第 2 の前記プロセッサは、前記通信インタフェース部に対する第 2 の前記読み出しコマンドを前記データ転送部に送信し、  
前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 及び第 2 のプロセッサに前記スプリット応答を送信し、前記第 1 の読み出しコマンドを前記通信インタフェース部に送信し、  
前記通信インタフェース部は、前記第 1 の読み出しコマンドに応じて第 1 の前記読み出

じデータを前記データ転送部に送信し、  
前記データ転送部は、前記第 1 の読み出しデータを前記第 1 のプロセッサに送信し、  
前記通信インタフェース部は、前記第 2 の読み出しコマンドに応じて第 2 の前記読み出しデータを前記データ転送部に送信し、  
前記データ転送部は、前記第 2 の読み出しデータを前記第 2 のプロセッサに送信すること、  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項 18】

請求項 17 に記載の記憶デバイス制御装置の制御方法であって、  
前記データ転送部は、前記第 1 及び第 2 の読み出しコマンドを受信し、前記第 1 又は第 2 のコマンドのうち先に受信したものを先に前記通信インタフェース部に送信すること、  
を特徴とする記憶デバイス制御装置の制御方法。

【請求項 19】

請求項 13 に記載の記憶デバイス制御装置の制御方法であって、  
前記チャネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、  
前記チャネル制御部は、  
第 1 の前記通信インタフェース部と前記データ転送装置とを接続する第 1 のバスと、  
第 1 の前記プロセッサと前記データ転送装置とを接続する第 2 のバスと、  
第 2 の前記通信インタフェース部と前記データ転送装置とを接続する第 3 のバスと、  
第 2 の前記プロセッサと前記データ転送装置とを接続する第 4 のバスと、  
を備え、  
前記データ転送部は、  
前記第 1 にバスに接続し、前記第 1 の通信インタフェース部との間でデータを授受する第 1 のバスブリッジと、  
前記第 2 のバスに接続し、前記第 1 のプロセッサとの間でデータを授受する第 2 のバスブリッジと、  
前記第 3 のバスに接続し、前記第 2 の通信インタフェース部との間でデータを授受する第 3 のバスブリッジと、  
前記第 4 のバスに接続し、前記第 2 のプロセッサとの間でデータを授受する第 4 のバスブリッジと、  
を備え、  
前記第 2 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、  
前記第 4 のバスブリッジは、前記第 1 のバスブリッジと前記第 3 のバスブリッジとに接続し、  
前記第 1 のプロセッサは、前記第 2 のバスの使用权を獲得し、前記第 1 の通信インタフェース部に対する、データの読み出しを指示する第 1 の読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、第 1 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 1 の読み出しコマンドを前記第 1 のバスブリッジに転送し、  
前記第 1 のプロセッサは、前記第 1 のスプリット応答を受信し、前記第 1 のバスの前記使用权を解放し、  
前記第 1 のバスブリッジは、前記第 1 の読み出しコマンドを受信し、前記第 1 の読み出しコマンドを前記第 1 の通信インタフェース部に送信し、  
前記第 1 のプロセッサは、前記第 1 のバスの前記使用权を獲得し、前記第 2 の通信インタフェース部に対する第 2 の読み出しコマンドを前記データ転送部に送信し、  
前記第 2 のバスブリッジは、前記第 2 の読み出しコマンドを受信し、第 2 の前記スプリット応答を前記第 1 のプロセッサに送信し、受信した前記第 2 の読み出しコマンドを前記

第3のバスブリッジに転送し、

前記第1のプロセッサは、前記第2のスプリット応答を受信し、前記第1のバスの前記使用権を解放し、

前記第1の通信インタフェース部は、前記第1の読み出しコマンドに応じた第1の前記読み出しデータを前記データ転送部に送信し、

前記第1のバスブリッジは、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記第2のバスブリッジに転送し、

前記第2のバスブリッジは、前記第1のバスの前記使用権を獲得し、前記第1の読み出しデータを前記第1のプロセッサに送信し、前記第1のバスの前記使用権を解放し、

前記第2の通信インタフェース部は、前記第2の読み出しコマンドに応じた第2の前記読み出しデータを前記データ転送部に送信し、

前記第3のバスブリッジは、前記第2の読み出しデータを受信し、受信した前記第2の読み出しデータを前記第2のバスブリッジに転送し、

前記第2のバスブリッジは、前記第1のバスの前記使用権を獲得し、前記第2の読み出しデータを前記第1のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

**【請求項20】**

請求項13に記載の記憶デバイス制御装置の制御方法であって、

前記チャネル制御部は複数の前記通信インタフェース部と、複数の前記プロセッサとを備え、

前記チャネル制御部は、

第1の前記通信インタフェース部と前記データ転送装置とを接続する第1のバスと、

第1の前記プロセッサと前記データ転送装置とを接続する第2のバスと、

第2の前記通信インタフェース部と前記データ転送装置とを接続する第3のバスと、

第2の前記プロセッサと前記データ転送装置とを接続する第4のバスと、

を備え、

前記データ転送部は、

前記第1のバスに接続し、前記第1の通信インタフェース部との間でデータを授受する第1のバスブリッジと、

前記第2のバスに接続し、前記第1のプロセッサとの間でデータを授受する第2のバスブリッジと、

前記第3のバスに接続し、前記第2の通信インタフェース部との間でデータを授受する第3のバスブリッジと、

前記第4のバスに接続し、前記第2のプロセッサとの間でデータを授受する第4のバスブリッジと、

を備え、

前記第2のバスブリッジは、前記第1のバスブリッジと前記第3のバスブリッジとに接続し、

前記第4のバスブリッジは、前記第1のバスブリッジと前記第3のバスブリッジとに接続し、

前記第1のプロセッサは、前記第1の通信インタフェース部に対する第1の読み出しコマンドを前記データ転送部に送信し、

前記第2のプロセッサは、前記第1の通信インタフェース部に対する第2の読み出しコマンドを前記データ転送部に送信し、

前記第2のバスブリッジは、前記第1の読み出しコマンドを受信し、前記第1の読み出しコマンドを前記第1のバスブリッジに転送し、前記第1のプロセッサに前記スプリット応答を送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを受信し、前記第2の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記第4のバスブリッジは、前記第2の読み出しコマンドを受信し、前記第2の読み出

じコマンドを前記第1のバスブリッジに転送し、前記第2のプロセッサに前記スプリット応答を送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを受信し、

前記第1のバスブリッジは、前記第1の読み出しコマンドに応じた第1の読み出しデータを前記第1の通信インタフェース部から受信し、受信した前記第1の読み出しデータを前記第2のバスブリッジに転送し、

前記第1のバスブリッジは、前記第2の読み出しコマンドを前記第1の通信インタフェース部に送信し、

前記第2のバスブリッジは、前記第1の読み出しデータを受信し、受信した前記第1の読み出しデータを前記第1のプロセッサに送信し、

前記第1のバスブリッジは、前記第2の読み出しコマンドに応じた第2の読み出しデータを前記第1の通信インタフェース部から受信し、受信した前記第2の読み出しデータを前記第4のバスブリッジに転送し、

前記第4のバスブリッジは、前記第2の読み出しデータを前記第2のプロセッサに送信すること、

を特徴とする記憶デバイス制御装置の制御方法。

【書類名】 明細書

【発明の名称】 記憶デバイス制御装置及び記憶デバイス制御装置の制御方法

【技術分野】

【0 0 0 1】

本発明は、記憶デバイス制御装置及び記憶デバイス制御装置の制御方法に関する。

【背景技術】

【0 0 0 2】

近年情報処理装置で取り扱われるデータ量が増加しており、情報処理装置外部でデータを記憶・管理するストレージ装置では、より大容量かつより高速であることが求められている。

【特許文献 1】 特開 2 0 0 3 - 9 1 4 9 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 3】

このような状況の下、ストレージ装置の設計においては、新たな規格を柔軟かつ積極的に取り込みつつデータ転送処理効率を向上させることが求められている。

【0 0 0 4】

本発明は、このような背景を鑑みてなされたものであり、新たな規格を柔軟かつ積極的に取り込みつつデータ転送処理効率を向上した記憶デバイス制御装置及び記憶デバイス制御装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 5】

上記目的を達成するための本発明のうち主たる発明のひとつは、記憶デバイス制御装置であって、情報処理装置から記憶デバイスに対して送信されるデータ入出力要求を受信するチャンネル制御部と、前記記憶デバイスに対するデータ入出力に関する制御を行うディスク制御部と、前記チャンネル制御部と前記ディスク制御部との間で授受される入出力データを記憶するキャッシュメモリと、を備え、前記チャンネル制御部は、前記情報処理装置との間で通信を行う通信インタフェース部と、前記通信インタフェース部と第 1 のバスを介して接続し、前記通信インタフェース部と前記キャッシュメモリとの間で授受される前記入出力データの転送を行うデータ転送部と、前記データ転送部と第 2 のバスを介して接続し、前記データ転送部の制御を行うプロセッサと、を備え、前記通信インタフェース部は、前記プロセッサに対して、データを読み出すことを指示する読み出しコマンドを前記データ転送部に送信し、前記データ転送部は、前記第 1 のバスが第 1 の通信規約に従う場合、前記読み出しコマンドに応じた読み出しデータが後から送信されることを示すスプリット応答を前記通信インタフェース部に送信し、前記読み出しコマンドを前記プロセッサに送信し、前記データ転送部は、前記第 1 のバスが第 2 の通信規約に従う場合、前記スプリット応答を前記通信インタフェース部に送信せずに、前記読み出しコマンドを前記プロセッサに送信し、前記プロセッサは、前記読み出しコマンドを受信し、前記スプリット応答を前記データ転送部に送信し、受信した前記読み出しコマンドに応じた前記読み出しデータを前記データ転送部に送信し、前記データ転送部は、前記読み出しデータを受信し、受信した前記読み出しデータを前記通信インタフェース部に送信することとする。

【発明の効果】

【0 0 0 6】

本発明によれば、新たな規格を柔軟かつ積極的に取り込みつつデータ転送処理効率を向上した記憶デバイス制御装置及び記憶デバイス制御装置の制御方法を提供できる。

【発明を実施するための最良の形態】

【0 0 0 7】

以下、本発明の実施形態の一例を図面を用いて詳細に説明する。

【0 0 0 8】

===ストレージシステム全体像===

図1は、本発明を適用した記憶デバイス制御装置200を含む情報処理システムの全体構成を示すブロック図である。図1に示すように、ストレージシステムは、各種の情報処理サービスを提供する情報処理装置100と、記憶ボリューム300の記憶領域を情報処理装置100に提供する記憶デバイス制御装置200とを含んで構成される。

#### 【0009】

情報処理装置100はCPU (Central Processing Unit) やメモリを備えたコンピュータである。情報処理装置100では、CPUにより各種のプログラムが実行され、様々な機能が実現される。情報処理装置100は、例えば、パーソナルコンピュータやワークステーション、メインフレームコンピュータなどである。情報処理装置100は1台のコンピュータであってもよいし、複数台のコンピュータであってもよい。情報処理装置100上ではオペレーティングシステムが実行され、オペレーティングシステム上では様々なアプリケーションプログラムが実行される。

#### 【0010】

情報処理装置100は、SAN (Storage Area Network) 400を介して記憶デバイス制御装置200と接続されている。SAN 400を介して行われる情報処理装置100と記憶デバイス制御装置200との間の通信はファイバチャネルプロトコルに従って行われる。SAN 400はファイバチャネルプロトコル以外にもさまざまなプロトコルに従った通信経路とすることもできる。SAN 400には、例えば、LAN (Local Area Network) やSCSI (Small Computer System Interface)、iSCSI (Internet Small Computer System Interface)、ESCON (Enterprise System Connection) (登録商標)、FICON (Fibre Connection) (登録商標)、ACONARC (Advanced Connection Architecture) (登録商標)、FIBARC (Fibre connection Architecture) (登録商標) などを用いることができる。なお、情報処理装置100と記憶デバイス制御装置200とは直接接続する形態としてもよい。

#### 【0011】

情報処理装置100はファイバチャネルプロトコルに従って、データ入出力要求を記憶デバイス制御装置200に送信する。記憶デバイス制御装置200は、情報処理装置100からデータ入出力要求を受信すると、受信したデータ入出力要求に応じて、記憶ボリューム300に対するデータの入出力に関する処理を行う。このようにして、情報処理装置100上で実行されるアプリケーションプログラムは、記憶ボリューム300の記憶領域に適宜アクセスしながら各種処理を実行する。

#### 【0012】

記憶デバイス制御装置200は多数の物理ディスクを備え、複数の記憶ボリューム300の提供する記憶領域を管理している。記憶ボリューム(記憶デバイス)300とは、物理ディスクにより提供される物理ボリュームと、物理ボリューム上に論理的に設定される論理ボリュームとを含む記憶領域である。物理ディスクとしては、例えば、ハードディスク装置や半導体記憶装置等を用いることができる。記憶デバイス制御装置200は、複数の記憶ボリューム300によってディスクアレイを構成し、RAIDによって管理される記憶領域を提供することもできるし、単一の物理ディスクによる記憶領域を提供するようにもできる。記憶ボリューム300は記憶デバイス制御装置200に一体的に構成されてもよいし、記憶デバイス制御装置200から独立した装置として、SCSIやLAN、SANといった通信経路によって記憶デバイス制御装置200と接続する形態としてもよい。

#### 【0013】

図1に示すように、記憶デバイス制御装置200は、チャンネル制御部1乃至3(210)、共有メモリ220、キャッシュメモリ230、ディスク制御部1乃至3(240)、接続部250を備える。

#### 【0014】

チャンネル制御部210は情報処理装置100との間で通信を行うための通信インタフェースを備え、情報処理装置100から記憶デバイスに対して送信されるデータ入出力要求

を受信する機能を有する。チャネル制御部 210 はデータ入出力要求を受信すると、データ入出力要求に応じて記憶ボリューム 300 のアドレスやデータ長等を求め、記憶ボリューム 300 へのアクセスを行うための I/O コマンドを作成する。このようにして、記憶デバイス制御装置 200 は、記憶ボリューム 300 の提供する記憶領域を情報処理装置 100 に提供する。なお I/O コマンドにはデータの先頭アドレス、データ長、読み出し又は書き込み等のアクセスの種別が含まれている。またデータの書き込みの場合には I/O コマンドには書き込みデータが含まれているようにすることもできる。I/O コマンドの作成は、後述するマイクロプロセッサ 211 により行われる。

#### 【0015】

接続部 250 はチャネル制御部 210、共有メモリ 220、キャッシュメモリ 230、ディスク制御部 240 を相互に接続する。チャネル制御部 210、共有メモリ 220、キャッシュメモリ 230、ディスク制御部 240 間でのデータやコマンドの授受は接続部 250 を介して行われる。接続部 250 は、例えば、高速スイッチングによりデータ伝送を行う高速クロスバススイッチなどの高速バスである。

#### 【0016】

共有メモリ 220 及びキャッシュメモリ 230 は、チャネル制御部 210 やディスク制御部 240 により共有される記憶メモリである。共有メモリ 220 は主に制御情報やコマンド等を記憶するために利用されるのに対し、キャッシュメモリ 230 は主にデータを記憶するために利用される。チャネル制御部 210 は生成した I/O コマンドを共有メモリ 220 に書き込む。チャネル制御部 210 は、例えば書き込みデータ等の I/O コマンドに付随するデータはキャッシュメモリ 230 に書き込む。

#### 【0017】

ディスク制御部 240 は記憶ボリューム 300 に対するデータ入出力に関する制御を行う。ディスク制御部 240 は、共有メモリ 220 に書き込まれた I/O コマンドを読み出し、I/O コマンドに従って記憶ボリューム 300 へデータの入出力に関する制御を行う。また、ディスク制御部 240 は、チャネル制御部 210 が I/O コマンドに指定した論理アドレスを物理アドレスに変換する。また、ディスク制御部 240 は、記憶ボリューム 300 における物理ディスクが RAID により管理されている場合に、RAID 構成（例えば、RAID 0, 1, 5）に従ったデータのアクセスを行う。

#### 【0018】

例えば、チャネル制御部 210 は、情報処理装置 100 から受信したデータ入出力要求がデータの読み出し要求である場合には、読み出し対象となるデータがキャッシュメモリ 230 に存在するかどうかを調べる。読み出し対象となるデータがキャッシュメモリ 230 に存在すれば、チャネル制御部 210 はそのデータを情報処理装置 100 に送信する。一方、読みだし対象となるデータがキャッシュメモリ 230 に存在しない場合には、チャネル制御部 210 は読み出しコマンドを共有メモリ 220 に書き込むと共に、共有メモリ 220 を監視する。読み出しコマンドが共有メモリ 220 に書き込まれたことを検出したディスク制御部 240 は、記憶ボリューム 300 から読みだし対象となるデータを読み出してこれをキャッシュメモリ 230 に書き込むと共に、その旨を共有メモリ 220 に書き込む。チャネル制御部 210 は読みだし対象となるデータがキャッシュメモリ 230 に書き込まれたことを検出すると、そのデータを情報処理装置 100 に送信する。

このようにチャネル制御部 210 及びディスク制御部 240 の間では、キャッシュメモリ 230 を介してデータの授受が行われる。

#### 【0019】

==チャネル制御部==

図 2 は、チャネル制御部 210 の内部構成を示す図である。

#### 【0020】

マイクロプロセッサ (MP) 1 及び 2 (211) (第 1 のプロセッサ及び第 2 のプロセッサ)、ローカルメモリ 1 及び 2 (212)、通信インタフェース (PRTCL) 1 及び 2 (213) (第 1 の通信インタフェース部及び第 2 の通信インタフェース部)、データ



バッファ214、接続コネクタ217、データ転送LSI500（データ転送部）を備える。

#### 【0021】

通信インタフェース1（213）とデータ転送LSI500とは、バス2103（第1のバス）により接続されている。マイクロプロセッサ1（211）とデータ転送LSI500とは、バス2101（第2のバス）により接続されている。

#### 【0022】

また、通信インタフェース2（213）とデータ転送LSI500とはバス2104（第3のバス）により接続されている。マイクロプロセッサ2（211）とデータ転送LSI500とは、バス2102（第4のバス）により接続されている。本実施の形態において、バス2101及び2102はPCI-X規格に従うバスであるものとする。また、バス2103及び2104はPCI規格に従うバスであるものとする。

#### 【0023】

通信インタフェース213は、情報処理装置100との間で通信を行うためのインタフェースを備えている。通信コネクタ216は情報処理装置100と通信を行うためのコネクタである。本実施の形態におけるチャンネル制御部210の場合、通信コネクタ216は、SAN400に接続可能なコネクタであり、例えば、ファイバチャンネルに対応している。チャンネル制御部210が情報処理装置100からファイル名を指定したデータ入出力要求を受け付けるのであれば、通信コネクタは例えばイーサネット（登録商標）に対応し、チャンネル制御部210はLAN経由でデータ入出力要求を受け付けるようにしてもよい。

#### 【0024】

マイクロプロセッサ211はチャンネル制御部210全体の制御を司る。マイクロプロセッサ211がローカルメモリ212に記憶されたアプリケーションプログラムを実行することによって、各種の機能が実現する。

#### 【0025】

接続コネクタ217はチャンネル制御部210が記憶デバイス制御装置200と接続するためのコネクタである。接続コネクタ217が記憶デバイス制御装置200側のコネクタと嵌合することにより、チャンネル制御部210のボードは記憶デバイス制御装置200と電氣的に接続される。チャンネル制御部210は接続コネクタ217を介して接続部250に接続され、記憶デバイス制御装置200内の共有メモリ220やキャッシュメモリ230、ディスク制御部240などにアクセスが可能となっている。

#### 【0026】

データ転送LSI500は、マイクロプロセッサ211からの指示により、デバイス間でのデータの転送を行う装置である。データ転送LSI500はPCIバス及びPCI-Xバスのマスタ（イニシエータ）として、バス2101乃至2104にデータを送出することができる。また、バス2101乃至2104に接続しているマイクロプロセッサ211や通信インタフェース213等のデバイスからコマンドを受信するターゲットデバイスとしても動作することができる。データ転送LSI500は、マイクロプロセッサ211からコマンドを受信すると、そのコマンドに対する応答が後から送信されることを示すスプリット応答をマイクロプロセッサ211に返信することができる。これにより、イニシエータがターゲットへコマンドを送信するサイクルと、ターゲットがイニシエータへ応答を返信するサイクルとを別サイクルとする、いわゆるスプリットトランザクションが実現される。PCI-X規格では上記のスプリットトランザクションが規定されており、バス2101及び2102はPCI-X規格に従うバスであるため、データ転送LSI500はマイクロプロセッサ1及び2（211）との間でスプリットトランザクションを実現することができ、バスの使用効率を向上することができる。

#### 【0027】

また、図2に示すように、データ転送LSI500は、バス間を接続するための4つのブリッジ（ブリッジA501、ブリッジB502、ブリッジC503、及びブリッジD504）、データバッファ2に対するアクセスを行うバッファコントローラ（BUFCtrl

)\*505、モードセクタ506を備える。

#### 【0028】

ブリッジC503（第1のバスブリッジ、第1のバスインタフェース）、ブリッジA501（第2のバスブリッジ、第2のバスインタフェース）、ブリッジD504（第3のバスブリッジ、第3のバスインタフェース）、ブリッジB502（第4のバスブリッジ、第4のバスインタフェース）はいずれも、バス間のデータを転送するための装置である。

ブリッジA501は、バス2101に接続している。ブリッジA501は、バス2101を介してマイクロプロセッサ1（211）との間でデータのやりとりを行う。ブリッジB502は、バス2102に接続している。ブリッジB502は、バス2102を介してマイクロプロセッサ2（211）との間でデータのやりとりを行う。

ブリッジC503は、バス2103に接続している。ブリッジC503は、バス2103を介して通信インタフェース1（213）との間でデータのやりとりを行う。ブリッジD504は、バス2104に接続している。ブリッジD504は、バス2104を介して通信インタフェース2（213）との間でデータのやりとりを行う。

#### 【0029】

モードセクタ506は、データ転送LSI500が通信インタフェース1及び2（213）と接続するバス2103及び2104が、PCIバスであるかPCI-Xバスであるかを設定する信号線である。モードセクタ506は、例えば、ハイレベルの信号が供給されている間はバス2103及び2104がPCI-Xバスであるものとして、PCI-X規格に従って信号を送受信することができる。なお、モードセクタ506は信号線以外にも、スイッチとしてもよい。また、プロセッサがローカルメモリに設定されている値に応じて、バス2103及び2104のバスの種類を特定するようにしてもよい。このように、データ転送LSI500は、PCI及びPCI-Xの両規格に従うバスに接続することができる。なお、PCI規格及びPCI-X規格以外の規格に従うバスに対応するようにしてもよい。

#### 【0030】

このように、データ転送LSI500は、複数の規格に従うバスに接続することができる。そのため、データ転送LSI500を搭載した記憶デバイス制御装置200は、技術の進歩に伴い新しい規格と古い規格とが混在するような状況においても、様々な規格に柔軟に対応することができる。

#### 【0031】

===データ転送処理1===

図3は、本実施の形態に係るデータ転送処理の流れを示す図である。図3は、マイクロプロセッサ1（211）が通信インタフェース1（213）に対してデータの取得を要求するリードコマンド（読み出しコマンド）を送信し、通信インタフェース1（213）からデータを受信する流れを示している。図3に示すデータ転送処理は、例えば、データ転送LSI500がデータバッファ214に記憶されているデータをキャッシュメモリ230に転送する際、転送するデータ長やアドレス等のデータ転送に必要な情報を取得するときに、その情報を転送する処理として行われる。

#### 【0032】

マイクロプロセッサ1（211）は、バス2101の使用権を獲得し、リードコマンド（READ-CMD）をブリッジA501に送信する（S3001）。ブリッジA501は、リードコマンドを受信し、スプリット応答（SPLIT-RESP）をマイクロプロセッサ1（211）に送信する（S3002）。マイクロプロセッサ1（211）は、スプリット応答を受信すると、バス2101の使用権を解放する。従って、マイクロプロセッサ1（211）は、送信したリードコマンドに応じたデータが返信されるまで他の処理を行うことができる。図3において、期間31がマイクロプロセッサ1（211）が他の処理を行うことができる期間である。

#### 【0033】

ブリッジA501は、リードコマンドをブリッジC503に転送する（S3003）。この

時点で、ブリッジA501は、他のコマンドを受け付けることができるようになる。ブリッジC503は、リードコマンドを受信すると、バス2103の使用権を獲得し、通信インタフェース1(213)にリードコマンドを送信する(S3004)。

#### 【0034】

通信インタフェース1(213)はリードコマンドを受信すると、受信したリードコマンドに応じて、例えば、情報処理装置100から受信したデータ入出力要求のデータ長等のリードデータ(READ-DATA)を作成する。通信インタフェース1(213)はデータを作成すると、リードデータをブリッジC504に送信する(S3005)。バス2103が例えばPCIバス等のスプリットトランザクションを用いることができないバスである場合、通信インタフェース1(213)がリードデータを作成する間の(S3004)から(S3005)までの期間、ブリッジC503はビジー状態となる。また、ブリッジC503がバス2103の使用権を獲得しているため、バス2103もビジー状態となる。

#### 【0035】

ここで、ブリッジA501が通信インタフェース1(213)からのデータを待機するとすれば、図3の期間32の間もブリッジA501は他のコマンドを受け付けることができないビジー状態となってしまう。しかしながら、上記のブリッジA501は、期間32の分だけコマンドを受け付けることができる期間を長くすることができる。本実施の形態において、ブリッジA501はブリッジC503とブリッジD504との両方に接続しているため、ブリッジC503がビジー状態であったとしても、ブリッジD504に対してコマンドを転送することができる。従って、ブリッジA501がコマンドを受け付けることができる期間が長くなる。よって、データ転送LSI500がコマンドをより多く受け付けることが可能となり、効率的なデータ転送LSI500の動作を図ることができる。

#### 【0036】

一方、ブリッジC503は、通信インタフェース1(213)からリードデータを受信すると、バス2103の使用権を解放し、リードデータをブリッジA501に転送する(S3006)。

ブリッジA501は通信インタフェース1(213)から送信されたリードデータを受信すると、バス2101の使用権を獲得し、マイクロプロセッサ1(211)にリードデータを送信し(S3007)、バス2101の使用権を解放する。

#### 【0037】

このようにして、マイクロプロセッサ211(プロセッサ)が通信インタフェース213(通信インタフェース部)にリードコマンド(読み出しコマンド)を送信すると、データ転送LSI500(データ転送部)は、通信インタフェース213からリードデータの応答であるリードデータを受信するよりも前に、マイクロプロセッサ211にスプリット応答を送信することができる。従って、マイクロプロセッサ211は、通信インタフェース213から送信されるリードデータが到着するまで待機することなく、他の処理を行うことができる。よって、マイクロプロセッサ211をより効率的に動作させることができる。マイクロプロセッサ211の処理効率が向上すると、記憶デバイス制御装置200全体としての処理効率も向上することになる。

#### 【0038】

なお、本実施の形態において、マイクロプロセッサ1(211)がバス2101の使用権を獲得する仕組みは、PCIバス等で一般的に用いられている調停回路を利用したものを想定している。マイクロプロセッサ1(211)は、例えば、ブリッジA501の備える調停回路(不図示)に、バス2101を使用することを示すリクエスト信号を送信し、調停回路がマイクロプロセッサ1(211)にバス2101の使用を許可する旨を示す応答信号を送信する。これにより、ブリッジA501はバス2101に接続するデバイスにバス2101の使用権を与えることができる。また、ブリッジB502、ブリッジC503、及びブリッジD504も同様に調停回路を備え、夫々バス2102、バス2103、及びバス2104の使用権を各バスに接続するデバイスに与えることができる。

#### 【0039】

次に、上述したデータ転送処理をタイミングチャートを用いて説明する。図4は、上記の処理における各信号を説明するタイミングチャートである。

#### 【0040】

ブリッジA501がマイクロプロセッサ1(211)にスプリット応答を返信し、マイクロプロセッサ1(211)がバス2101の使用権を解放した時点が、T1である。

通信インタフェース1(213)がリードデータをブリッジA501に送信し(DATA-TRANS)、ブリッジA501が受信したリードデータをマイクロプロセッサ1(211)に送信し始めた時点がT2である。

#### 【0041】

図4に示すように、T1～T2の期間はバス2101の使用権が解放されている。T1～T2の期間は、ブリッジA501はビジー状態であるため、マイクロプロセッサ1(211)は、ブリッジA501にコマンドを送信することはできない。しかしながら、マイクロプロセッサ1(211)はバス2101に接続する他のデバイスとやり取りをするなど、他の処理を行うことができる。そのため、より効率的なマイクロプロセッサ1(211)の動作を実現することができる。

#### 【0042】

なお、本実施の形態では、バス2103はPCIバスであるとしているが、PCI-Xバスとしてもよい。この場合、通信インタフェース1(213)はスプリット応答をブリッジC503に返信することができる。図5は、バス2103がPCI-Xバスであった場合の上記図3に示すデータ転送処理の流れを示す図である。

図5に示す処理の流れはほぼ図3に示す処理の流れと同様であるが、通信インタフェース1(211)は、ブリッジC503から受信したリードコマンドに対して、スプリット応答を送信する(S5001)箇所が図3と異なる。ブリッジA501は、マイクロプロセッサ1(211)が送信したリードコマンドに応じてスプリット応答を返信(S3002)している。通信インタフェース1(213)から受信したスプリット応答を、ブリッジC503がブリッジA501に、ブリッジA501がマイクロプロセッサ1(211)に転送するようにすることもできる。しかしながら、その場合に比べ、本実施の形態によるデータ転送処理では、図5に示すの期間51の分だけ、マイクロプロセッサ1(211)が他の処理を行うことができる期間が長くなっている。

#### 【0043】

===データ転送処理2===

図6は、マイクロプロセッサ1(211)が通信インタフェース1(213)及び通信インタフェース2(213)の両方からデータを読み出すときの処理の流れを示す図である。

#### 【0044】

マイクロプロセッサ1(211)は、バス2101の使用権を獲得し、通信インタフェース1(213)に対するリードコマンド1(READ-1)をブリッジA501に送信する(S6001)。ブリッジA501はスプリット応答をマイクロプロセッサ1(211)に返信し(S6002)、マイクロプロセッサ1(211)はバス2101の使用権を解放する。ブリッジA501は、ブリッジC503にリードコマンド1を転送する(S6003)。ブリッジC503は、バス2103の使用権を獲得し、受信したリードコマンド1を通信インタフェース1(213)に送信する(S6004)。通信インタフェース1(213)は、受信したリードコマンド1に応じたリードデータ1(DATA-1)を作成する。

#### 【0045】

その間に、マイクロプロセッサ1(211)は、再度バス2101の使用権を獲得し、通信インタフェース2(213)に対するリードコマンド2(READ-2)をブリッジA501に送信する(S6005)。ブリッジA501はスプリット応答をマイクロプロセッサ1(211)に返信し(S6006)、マイクロプロセッサ1(211)はバス2101の使用権を解放する。ブリッジA501は、ブリッジD504にリードコマンド2を転送する(S6007)。ブリッジD504は、バス2104の使用権を獲得し、受信したリードコ

マンド2を通信インタフェース2(213)に送信する(S6008)。通信インタフェース2(213)は、受信したリードコマンド2に応じたリードデータ2(DATA-2)を作成する。

#### 【0046】

通信インタフェース1(213)は、リードコマンド1に応じたリードデータ1を作成すると、ブリッジC503にリードデータ1を返信する(S6009)。ブリッジC503は、リードデータ1を受信し、バス2103の使用権を解放し、受信したリードデータ1をブリッジA501に転送する(S6010)。ブリッジA501は、バス2101の使用権を獲得し、受信したリードデータ1をマイクロプロセッサ1に送信し(S6011)、バス2101の使用権を解放する。

#### 【0047】

また、通信インタフェース2(213)が、リードコマンド2に応じたリードデータ2を作成すると、ブリッジD504にリードデータ2を返信する(S6012)。ブリッジD504は、リードデータ2を受信し、バス2104の使用権を解放し、受信したリードデータ2をブリッジA501に転送する(S6013)。ブリッジA501は、バス2101の使用権を獲得し、受信したリードデータ1をマイクロプロセッサ1に送信し(S6014)、バス2101の使用権を解放する。

#### 【0048】

このようにして、マイクロプロセッサ1(211)と通信インタフェース1及び2(213)との間でデータが転送される。上記のデータ転送処理では、ブリッジA501は(S6002)においてマイクロプロセッサ1(211)にスプリット応答を返信し、ブリッジC503にリードコマンド1を転送し、ビジー状態ではなくなる。従って、マイクロプロセッサ1(211)は、再送信することなく、リードコマンド2をブリッジA501に送信(S6005)することができる。

#### 【0049】

図7及び図8は、上述した、マイクロプロセッサ1(211)が通信インタフェース1(213)及び通信インタフェース2(213)の両方からデータを読み出す際のデータ転送処理にかかる信号を説明する図である。

#### 【0050】

図7は、ブリッジA501が、ブリッジC503及びブリッジD504と接続せず、直接バス2103及びバス2104と接続する形態における、上記データ転送処理を説明するタイミングチャートである。図8は、図6に示すデータ転送処理における信号を説明するタイミングチャートである。

#### 【0051】

図7では、ブリッジA501は、リードコマンド1を通信インタフェース1(213)に送信してからリードデータ1を受信するまでの間、ビジー状態(BRIDGE-BUSY7101)となっている。そのため、マイクロプロセッサ1(211)は、リードコマンド2をブリッジA501に送信することができず、再送信(RETRY)を行う必要がある(S7001)。マイクロプロセッサ1(211)が、リードコマンド2を再度送信し(S7002)、通信インタフェース2(213)からのリードデータ2を受信し(S7003)、リードデータ2の受信が完了する時点がT7である。

#### 【0052】

これに対し、図8では、ブリッジA501はマイクロプロセッサ1(211)にリードコマンド1に対するスプリット応答を送信し(S8001)て、ビジー状態ではなくなる。そのため、マイクロプロセッサ1(211)はリードコマンド2をブリッジA501に送信しても(S8002)、ブリッジA501はリードコマンド2を受信することができる。従って、マイクロプロセッサ1(211)はリードコマンド2を再送信する必要がない。マイクロプロセッサ1(211)が通信インタフェース2(213)からのリードデータ2を受信し(S8003)、リードデータ2の受信が完了する時点はT8である。

#### 【0053】

\*T7とT8とを比較しても明らかなように、本実施の形態におけるデータ転送LSI5000によれば、データ転送処理にかかる時間が短縮されることになる。すなわち、本発明によれば、ブリッジA501（第2のバスインタフェース部）は、リードコマンド1（第1の読み出しコマンド）を受信すると、ブリッジC503（第1のバスインタフェース部）に送信するため、ビジー状態にならず、リードコマンド2（第2の読み出しコマンド）を受信することができる。従って、マイクロプロセッサ1（211）（プロセッサ）は、リードコマンド2（第2のコマンド）を送信するために待機することなく、データ転送LSI5000（データ転送部）に第2のコマンドを送信することができる。また、マイクロプロセッサ1（211）（プロセッサ）は、第1及び第2のコマンドを送信するとスプリット応答を受信するので、第1及び第2のコマンドに応じた読み出しデータを受信するまでバス2101を占有することなく、バス2101の使用権を解放することができる。よって、バス2101の効率的な使用が可能となる。また、マイクロプロセッサ1（211）はリードデータを受信するまで待機することなく、他の処理を行うことができる。よって、マイクロプロセッサ211の効率的な利用が可能となる。これにより、マイクロプロセッサ211の処理効率が上がり、多くの処理を行うことができるので、記憶デバイス制御装置200全体の処理効率も向上する。

#### 【0054】

図9に、バス2103及びバス2104がPCI-Xバスである場合のデータ転送処理の流れを示す。図9でも上記の図6と同様に、マイクロプロセッサ1（211）は、リードコマンド1に対するスプリット応答をブリッジA501から受信した後、再送信することなく、リードコマンド1に応じたリードデータ1を受信するよりも前に、リードコマンド2をブリッジA501に送信できるようになっている。

#### 【0055】

また、マイクロプロセッサ211から通信インタフェース213に対するコマンドの送信のみならず、通信インタフェース213からマイクロプロセッサ211に対するコマンドの送信においても同様に、データ転送処理にかかる時間を短縮することができる。

図10に、通信インタフェース1（213）が、マイクロプロセッサ1及び2（211）にリードコマンドを送信する際の、データ転送処理の流れを示す。なお、図10において、通信インタフェース1（213）が接続するバス2103は、PCI-Xバスであることとする。ここでも図9と同様に、ブリッジC503はリードコマンド1に応じたマイクロプロセッサ1（211）からのリードデータ1が応答されるよりも前にリードコマンド2を受信することができる。そのため、通信インタフェース1（213）は、リードコマンド1に対するスプリット応答をブリッジC503から受信した後、リードコマンド2を再送信することなく、ブリッジC503に送信することができる。従って、通信インタフェース1（213）は、リードコマンド2の送信にかかる時間を短縮することができる。よって、通信インタフェース1（213）は、リードコマンドの送信以外の処理に多く時間をかけることが可能となり、これにより、通信インタフェース1（213）は情報処理装置100からより多くのデータ入出力要求を受信することができるので、記憶デバイス制御装置200全体として、より多くの記憶デバイスへのアクセスを行うことができる。

#### 【0056】

===データ転送処理3===

図11は、マイクロプロセッサ1及び2（211）が通信インタフェース1（213）に対して、リードコマンド1を送信するときの処理の流れを示す図である。なお、以下の説明において、マイクロプロセッサ211、通信インタフェース213、ブリッジ501乃至504は、コマンドを送信するときにバスの使用権を獲得し、送信したコマンドに対する応答を受信するとバスの使用権を解放するものとする。

#### 【0057】

マイクロプロセッサ1（211）は、通信インタフェース1（213）に対するリードコマンド1（READ-1）をブリッジA501に送信する（S11001）。ブリッジA50

1は、マイクロプロセッサ1 (211) にスプリット応答を送信し (S11002)、リードコマンド1をブリッジC503に転送する (S11003)。

また、ほぼ同じタイミングで、マイクロプロセッサ2 (211) が通信インタフェース1 (213) に対するリードコマンド2 (READ-2) をブリッジB502に送信する (S11004)。ブリッジB502は、マイクロプロセッサ2 (211) にスプリット応答を送信し (S11005)、リードコマンド2をブリッジC503に送信する (S11006)。

#### 【0058】

ブリッジC503は、ブリッジA501からのリードコマンド1とブリッジB502からのリードコマンド2とをほぼ同時に受信するが、通信インタフェース1 (213) に同時に2つのコマンドを送信しないように調停を行う (S11007)。ここでブリッジC503は、例えば、リードコマンド1とリードコマンド2のどちらか先に受信した方を先に通信インタフェース1 (213) に送信するようにできる。図11において、リードコマンド1が先にブリッジC503に伝達されたものとする。ブリッジC503は、先に受信したリードコマンド1を通信インタフェース1 (213) に転送する (S11008)。通信インタフェース1 (213) は、受信したリードコマンド1に応じたデータ1 (DATA-1) を作成する。通信インタフェース1 (213) は、作成したデータ1をブリッジC503に送信する。なお、この時点で、ブリッジB502はリードコマンド2がブリッジC503に受理されていないため、ビジー状態となっている。

#### 【0059】

ブリッジC503は、受信したデータ1をブリッジA501に転送する (S11009) とともに、リードコマンド2を通信インタフェース1 (213) に送信する (S11010)。

ブリッジA501は、ブリッジC503からデータ1を受信すると、受信したデータ1をマイクロプロセッサ1 (211) に送信する (S11011)。

通信インタフェース1 (213) は、リードコマンド2を受信すると、リードコマンド2に応じたデータ2 (DATA-2) を作成する。通信インタフェース2 (213) は、作成したデータ2をブリッジC503に送信する (S11012)。ブリッジC503は、受信したデータ2をブリッジB502に転送し (S11013)、ブリッジB502は受信したデータ2をマイクロプロセッサ2 (211) に送信する (S11014)。

#### 【0060】

このようにして、ブリッジC503は、同時に到達した2つのコマンドに対して調停を行い、2つのコマンドの夫々を順番に通信インタフェース1 (213) に送信する。このとき、マイクロプロセッサ2 (211) は、リードコマンド2を、再送信を行うことなくブリッジB502に送信することができる。そのため、マイクロプロセッサ2 (211) は、スプリット応答を受信した後、データ2を受信開始するまでの間 (図11における期間11)、他の処理を行うことができる。従って、マイクロプロセッサ211の効率的な動作を図ることができる。また、ブリッジC503は、リードコマンド1に対応するデータ1を転送し、再度リードコマンド2を受信することなく、リードコマンド2を通信インタフェース1 (213) に送信することができる。従って、マイクロプロセッサ2 (211) がリードコマンド2を再送信する場合に比べ、通信インタフェース1 (213) にリードコマンド2を早く到達させることができる。よって、データ転送処理にかかる時間が短縮される。

#### 【0061】

この時間の短縮の様子を示したのが、図12及び図13のタイミングチャートである。図12は、ブリッジC503が直接マイクロプロセッサ1及び2 (211) からリードコマンドを受信し、マイクロプロセッサ2 (211) がリードコマンド2を再送する場合の処理を説明するためのタイミングチャートである。図13は、上記図11の処理を説明するためのタイミングチャートである。

#### 【0062】

図12において、マイクロプロセッサ2 (211) (PCI\_\_Bバス) は、ブリッジC503 (BRIDGE) による調停の結果、リードコマンド2を送信することができず、

再送信 (RETRY1201) を行う様子を示している。マイクロプロセッサ2 (211) は、2度目のリードコマンド2の送信により、ブリッジC503にリードコマンド2を送信し、ブリッジC503は、リードコマンド2を通信インタフェース1 (213) (PCI\_\_バス) に送信する。通信インタフェース1 (213) からのリードデータ2 (DATA-C) の受信を完了する時点が図12のT12である。これに対し、上記図11に示す処理では、マイクロプロセッサ2 (211) が通信インタフェース1 (213) からのリードデータ2の受信を完了する時点は、図13のT13である。T12とT13との比較から見ても明らかなように、本実施の形態のデータ転送処理によって、データ転送処理にかかる時間が短縮されていることが分かる。

#### 【0063】

図13において、ブリッジB502 (BRIDGE-B) は、マイクロプロセッサ2 (211) からのリードコマンド2に応じてスプリット応答を返信した後、ビジー状態となっている。しかしながら、マイクロプロセッサ2 (211) 及びバス2102 (PCI\_\_B) はビジー状態とならない。従って、マイクロプロセッサ2 (211) は、リードコマンド2に対応するデータ2が送信されてくるまでの間、他の処理を行うことが可能である。よって、マイクロプロセッサ211の効率的な運用が可能となり、また、データ転送LSI500のデータ転送にかかる時間が短縮され、データ転送処理の効率が図られ、記憶デバイス制御装置200全体としてのデータ転送効率も向上する。

#### 【0064】

なお、図14は、通信インタフェース1 (213) の接続するバス2103がPCI-Xバスであった場合の、データ転送処理の流れを示す図である。図14においても、上記図11で説明した処理と同様に、ブリッジC503がリードコマンド1及び2の調停を行い、マイクロプロセッサ2 (211) はビジー状態となることなく、他の処理を行うことができる。また、ブリッジC503は、リードコマンド1に対応するデータ1を受信し、データ1をブリッジA501に転送するとともに、マイクロプロセッサ2 (211) から再度リードコマンドを受信することなく、リードコマンド2を通信インタフェース1 (213) に送信することができる。

#### 【0065】

また、マイクロプロセッサ211から通信インタフェース213に対するコマンドの送信のみならず、通信インタフェース213からマイクロプロセッサ211に対するコマンドの送信においてもまったく上述の図11に示す処理と同様に、データ転送処理にかかる時間を短縮短縮することができる。図15に、通信インタフェース1及び2 (213) からマイクロプロセッサ1 (211) に対してリードコマンドが送信されときの処理の流れを示す。図15に示す例においても、通信インタフェース2 (213) はビジー状態になることなく、他の処理を行うことができる。

#### 【0066】

===データ転送処理4===

バス2103及びバス2104がPCI-Xバスである場合には、図15に示す上述したデータ転送処理により、データ転送処理の効率を向上することが可能である。そこで、本実施の形態に係る、バス2103及びバス2104がPCIバスである場合において、通信インタフェース1及び2 (213) からマイクロプロセッサ1 (211) に対してリードコマンドを送信した場合のデータ転送処理について説明する。なお、以下の説明において、マイクロプロセッサ211、通信インタフェース213、ブリッジ501乃至504は、コマンドを送信するときにバスの使用权を獲得し、送信したコマンドに対する応答を受信するとバスの使用权を解放するものとする。

#### 【0067】

図16は、通信インタフェース1及び2 (213) からマイクロプロセッサ1 (211) に対してリードコマンドが送信される場合の処理の流れを示す図である。バス2103及び2104はPCIバスであるため、ブリッジC503やブリッジD504は、通信インタフェース1 (213) や通信インタフェース2 (213) にスプリット応答を返すこ



どができないことが、上述した図11に示す処理と異なる点である。

#### 【0068】

図16において、ブリッジA501がリードコマンド2 (READ-2)を受信した (S16001)際、通常の調停回路と同様に、ブリッジD504に対して再送を要求するようにしてしまうと、通信インタフェース2 (213)は、ブリッジA501がデータ1 (DATA-1)をブリッジC503に転送した後に、再度リードコマンド2を送信する必要がある。しかしながら、ブリッジC503やブリッジD504は、通信インタフェース1 (213)及び通信インタフェース2 (213)からのリードコマンド1及び2を受信し、受信したリードコマンド1及び2を通信インタフェース213に再送させることがない。そのため、通信インタフェース213は、リードコマンドを再送するのにかかる時間を節約することができる。従って、通信インタフェース213の処理効率が向上し、記憶デバイス制御装置全体としてのデータ転送処理の効率も向上することができる。

#### 【0069】

図17及び図18は、データ転送処理にかかる時間が短縮されたことを説明するためのタイミングチャートである。

#### 【0070】

図17では、ブリッジA501 (BRIDGE)が直接通信インタフェース1及び2 (213)からリードコマンドを受信するときの信号を示している。図17において、ブリッジA501は、同時に受信するリードコマンドについて、調停 (S17001)を行い、どちらか先に到着したものをマイクロプロセッサ1 (211)に転送し、後に到着したものについてはリードコマンドを再送するように、リードコマンドの送信元に返信する。なお、図17において、ブリッジA501は、通信インタフェース213が常にビジー状態にならないように、リードコマンドに対するデータが作成できるまで、通信インタフェース213に再送 (RETRY)するようにさせている。

#### 【0071】

ブリッジA501は、リードコマンド1を先にマイクロプロセッサ1 (211)に送信し、スプリット応答を受信する。ブリッジA501は、通信インタフェース2 (213)から再送されたリードコマンド2を受信する (S17002)が、マイクロプロセッサ1 (211)からデータ1の応答を受信するため、先にデータ1を通信インタフェース1 (213)に転送する。ブリッジA501は、マイクロプロセッサ1 (121)から受信したデータ1を転送した後、リードコマンド2をマイクロプロセッサ1 (211)に送信する (S17003)。

このようにして、通信インタフェース2 (213)がリードデータ2の受信を完了した時点がT17である。

#### 【0072】

これに対し、図18に示すデータ転送処理では、ブリッジA501が同時に受信するリードコマンドを調停し、リードコマンド1をマイクロプロセッサ1 (211)に送信し、マイクロプロセッサ1 (211)からスプリット応答を受信すると、通信インタフェース2 (213)から再送されるリードコマンド2を待つことなく、リードコマンド2をマイクロプロセッサ1 (211)に送信する。これにより、ブリッジA501は、マイクロプロセッサ1 (211)がリードコマンド1に対応するデータ1を作成する間に、リードコマンド2もマイクロプロセッサ2 (211)に送信しておくことができる。通信インタフェース2 (213)がデータ2の受信を完了する時点は、図18においてT18である。T17とT18を比較しても明らかなように、データ転送処理にかかる時間は短縮されている。

#### 【0073】

===記憶データの読み出し処理===

ここまでで説明したデータ転送処理は、マイクロプロセッサ211と通信インタフェース213との間で行われるデータの転送に用いられる処理である。ここで転送されるデータとは、主に、データバッファ214とキャッシュメモリ230との間でデータが転送さ

れる場合に必要な、データ長やアドレス等の情報である。しかしながら、上述したデータ転送処理は、データバッファ214とキャッシュメモリ230との間でのデータ転送処理に適用することも可能である。

#### 【0074】

以下に、データバッファ214とキャッシュメモリ230との間でデータが転送される処理について説明する。

上述したように、記憶デバイス制御装置200の備えるチャネル制御部210は、情報処理装置100からデータ入出力要求を受信し、データ入出力要求に応じて記憶ボリューム300のアドレスやデータ長等を求め、記憶ボリューム300へのアクセスを行うためのI/Oコマンドを作成する。例えば、チャネル制御部210が受信したデータ入出力要求がデータの読み出し要求である場合には、チャネル制御部210は、読み出し対象となるデータをキャッシュメモリ230から読み出し、情報処理装置100に送信する。

#### 【0075】

チャネル制御部210は、情報処理装置100との間で通信を行うデータをデータバッファ214に記憶する。例えば、記憶デバイス制御装置200が記憶ボリューム300からデータを読み出す場合、データ転送LSI500は、キャッシュメモリ230に記憶されているデータをデータバッファ214に転送し、通信インタフェース213は、データバッファ214に記憶されているデータを情報処理装置100に送信する。

#### 【0076】

図19は、通信インタフェース213がバッファコントローラ505を介してデータバッファ214からデータを読み出す処理の流れを説明する図である。

#### 【0077】

通信インタフェース213は、バス2103の使用権を獲得し、バッファコントローラ505にリードコマンド(READ-CMD)を送信する。バッファコントローラ505は、スプリット応答を返信する。通信インタフェース213は、スプリット応答を受信すると、バス2103の使用権を解放する。バッファコントローラ505は、リードコマンドをデータバッファ214に転送する。データバッファ214は、リードコマンドに応じて、記憶しているデータをバッファコントローラ505に送信する。バッファコントローラ505は、バス2103の使用権を獲得し、通信インタフェース213にデータを転送する。この一連の処理は上記図3に示したデータの転送処理と同様のものである。すなわち、マイクロプロセッサ211と通信インタフェース213との間のみでなく、通信インタフェース213とデータバッファ214との間でのデータの転送についても、通信インタフェース213及びバス2103がビジー状態である期間を短縮し、より効率的な通信インタフェース213の動作と、効率的なバス2103の利用を図ることができる。

#### 【0078】

図20は、通信インタフェース1(213)が情報処理装置100にデータを送信するために、マイクロプロセッサ1(211)からデータの転送に必要な情報(データ転送情報)を取得し、また、情報処理装置100に送信するデータをデータバッファ214から取得するときの処理の流れを示す図である。

#### 【0079】

通信インタフェース1(213)は、バス2103の使用権を獲得し、マイクロプロセッサ1(211)からデータ転送情報を読み出すためのリードコマンド1(READ-C TL)をブリッジC503に送信する。ブリッジC503はリードコマンド1を受信すると、スプリット応答を通信インタフェース1(213)に返信する。

通信インタフェース1(213)は、スプリット応答を受信すると、バス2103の使用権を解放する。通信インタフェース1(213)は、続いてバス2103の使用権を獲得し、データバッファ214に対するデータの読み出しコマンドをバッファコントローラ505に送信する。バッファコントローラ505は、データの読み出しコマンドを受信すると、通信インタフェース1(213)にスプリット応答を返信する。通信インタフェース1(213)は、スプリット応答を受信し、バス2103の使用権を解放する。

通信インタフェース 1 (213) はこの時点で、マイクロプロセッサ 1 (211) に対するリードコマンドと、データバッファ 214 に対するデータ読み出しコマンドとの両方を送信したことになる。

【0080】

一方、ブリッジ C 503 は、通信インタフェース 1 (213) から受信したリードコマンド 1 をブリッジ A 501 に転送する。ブリッジ A 501 は、受信したリードコマンド 1 をマイクロプロセッサ 1 (211) に転送する。マイクロプロセッサ 1 (211) は、リードコマンド 1 を受信し、スプリット応答をブリッジ A 501 に返信する。マイクロプロセッサ 1 (211) は、受信したリードコマンド 1 に応じたリードデータ 1 を作成する。マイクロプロセッサ 1 (211) はリードデータ 1 を作成すると、リードデータをブリッジ A 501 に送信する。ブリッジ A 501 はリードデータを受信すると、ブリッジ C 503 にリードデータを転送する。ブリッジ C 503 は、バス 2103 の使用权を獲得して通信インタフェース 1 (213) にリードデータを送信し、バス 2103 の使用权を解放する。

【0081】

また、バッファコントローラ 505 は、受信したデータ読み出しコマンドをデータバッファ 214 に転送する。データバッファ 214 は受信したデータ読み出しコマンドに応じて、記憶しているデータを読み出しデータとしてバッファコントローラ 505 に応答する。バッファコントローラ 505 は、バス 2103 の使用权を獲得し、受信した読み出しデータを通信インタフェース 1 (213) に送信し、バス 2103 の使用权を解放する。

【0082】

以上、本実施の形態に係る記憶デバイス制御装置 200 について説明したが、上述したデータ転送処理は、チャンネル制御部 210 以外に適用することも可能である。例えば、ディスク制御部 240 が、マイクロプロセッサと、キャッシュメモリ 230 との間で通信を行うインタフェースと、キャッシュメモリ 230 と記憶デバイス 300 との間でデータを転送するデータ転送 LSI とを備え、当該データ転送 LSI が複数のブリッジを備えるようにして、マイクロプロセッサとインタフェースとの間でデータ転送を行う処理に、上述したデータ転送処理を適用することができる。

【0083】

以上、本実施の形態について説明したが、上記実施例は本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更、改良され得ると共に、本発明にはその等価物も含まれる。

【図面の簡単な説明】

【0084】

【図 1】 本発明の一実施の形態による、情報処理システムの全体像を示すブロック図である。

【図 2】 本発明の一実施の形態による、チャンネル制御部 210 の内部構成を示す図である。

【図 3】 本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 4】 本発明の一実施の形態による、図 3 に示すデータ転送処理の信号を説明するタイミングチャートである。

【図 5】 本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 6】 本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 7】 本発明の一実施の形態による、データ転送処理における信号を説明するフローチャートである。

【図 8】 本発明の一実施の形態による、データ転送処理における信号を説明するフローチャートである。

【図 9】 本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 10】 本発明の一実施の形態による、データ転送処理の流れを示す図である。

【図 11】 本発明の一実施の形態による、マイクロプロセッサ 1 及び 2 から通信イン

タフェース 1 に対するデータ転送処理の流れを示す図である。

【図 12】本発明の一実施の形態による、ブリッジ C が直接マイクロプロセッサ 1 及び 2 からコマンドを受信するときのデータ転送処理における信号を説明するフローチャートである。

【図 13】本発明の一実施の形態による、図 11 に示すデータ転送処理における信号を説明するフローチャートである。

【図 14】本発明の一実施の形態による、バス 2103 が PCI-X である場合のデータ転送処理の流れを示す図である。

【図 15】本発明の一実施の形態による、通信インタフェース 1 及び 2 からマイクロプロセッサ 1 に対するデータ転送処理の流れを示す図である。

【図 16】本発明の一実施の形態による、通信インタフェース 1 及び 2 からマイクロプロセッサ 1 に対するデータ転送処理の流れを示す図である。

【図 17】本発明の一実施の形態による、ブリッジ A が直接通信インタフェース 213 からコマンドを受信するときのデータ転送処理における信号を説明するフローチャートである。

【図 18】本発明の一実施の形態による、ブリッジ C 及びブリッジ D がブリッジ A にコマンドを転送するデータ転送処理の一例における信号を説明するフローチャートである。

【図 19】本発明の一実施の形態による、通信インタフェースとデータバッファとの間のデータ転送処理の流れを示す図である。

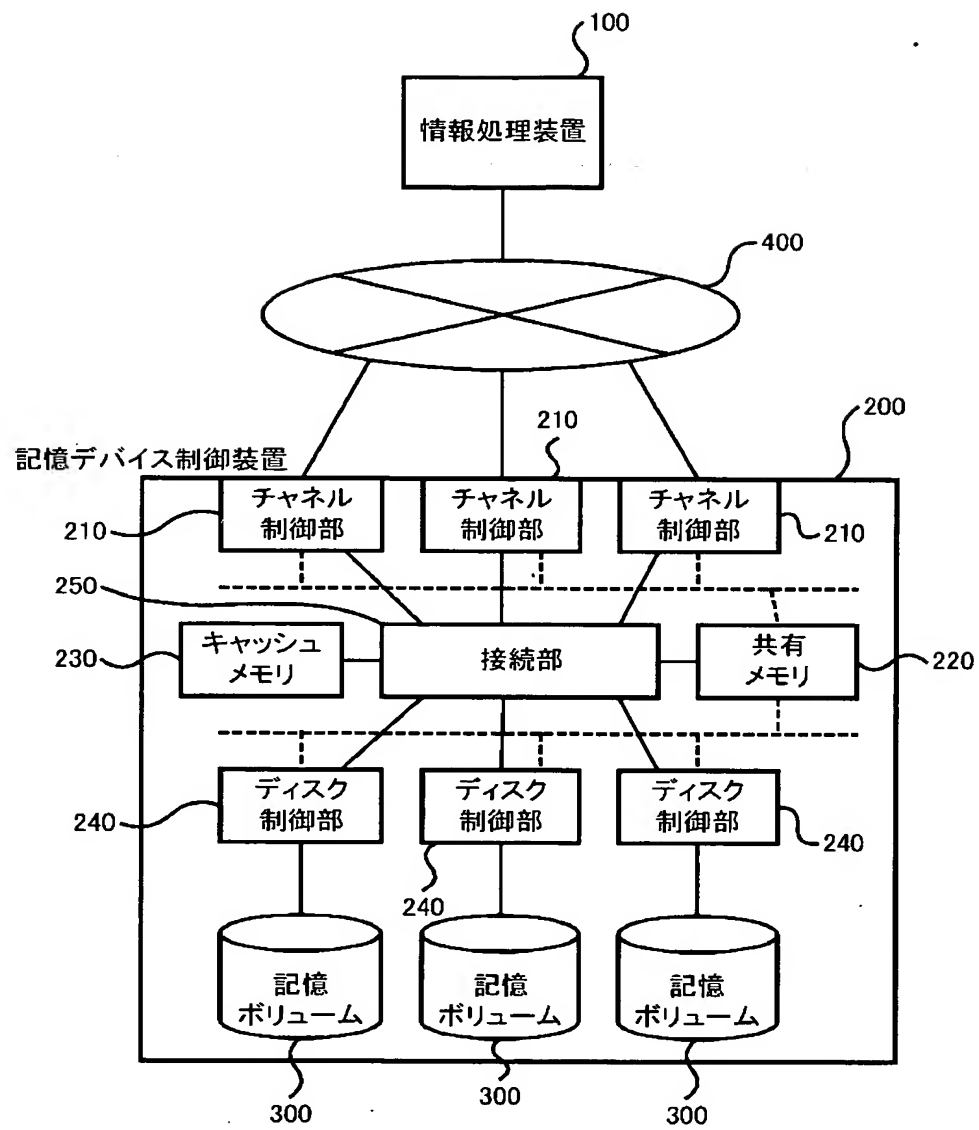
【図 20】本発明の一実施の形態による、通信インタフェースとデータバッファとの間のデータ転送処理の流れを示す図である。

【符号の説明】

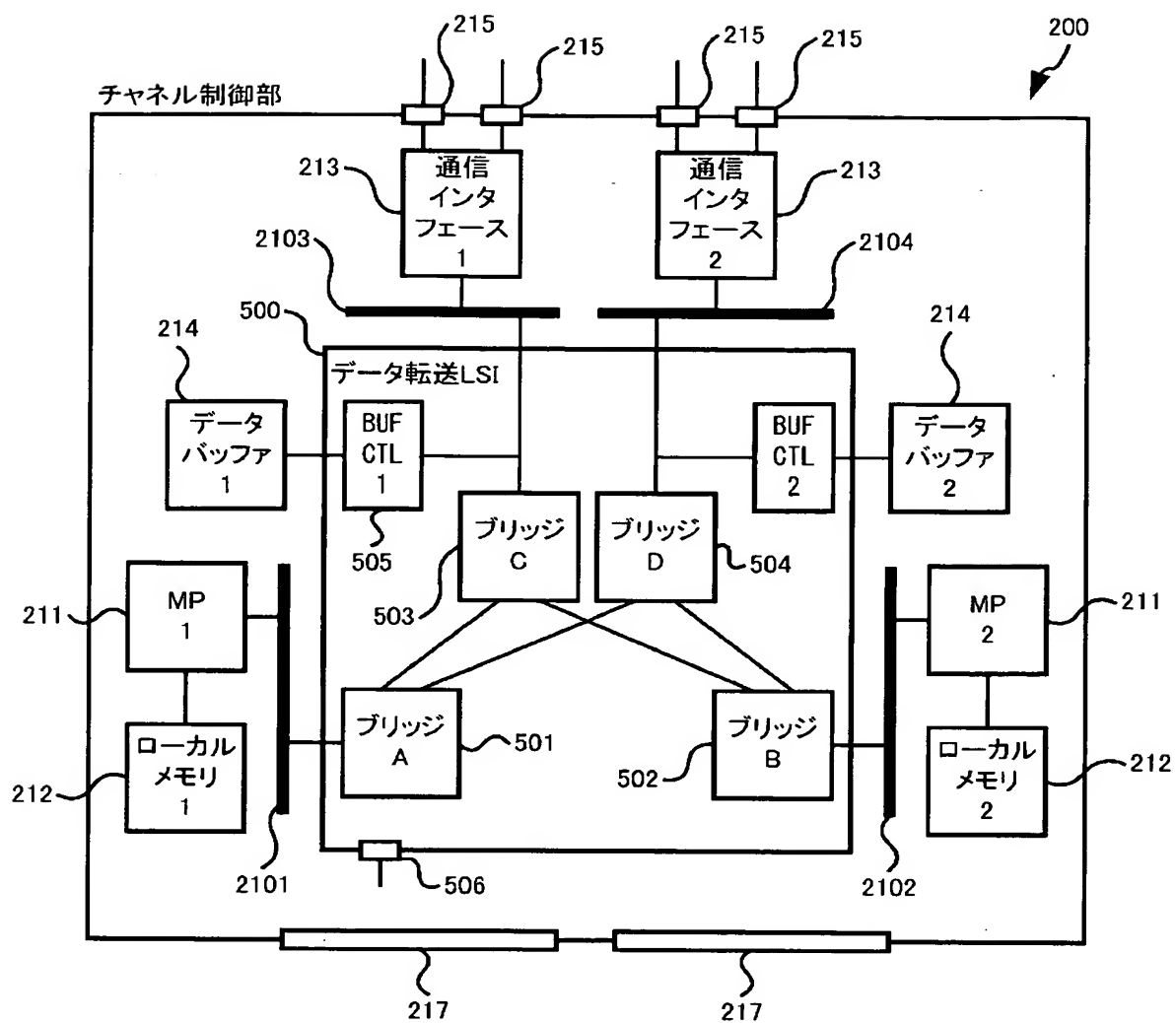
【0085】

100	情報処理装置	200	記憶デバイス制御装置
210	チャンネル制御部	211	マイクロプロセッサ
212	ローカルメモリ	213	通信インタフェース
214	データバッファ	216	モードセクタ
2101	バス	2102	バス
2103	バス	2104	バス
220	共有メモリ	230	キャッシュメモリ
240	ディスク制御部	250	接続部
300	記憶ボリューム	400	SAN
500	データ転送 LSI		
501	ブリッジ A	502	ブリッジ B
503	ブリッジ C	504	ブリッジ D

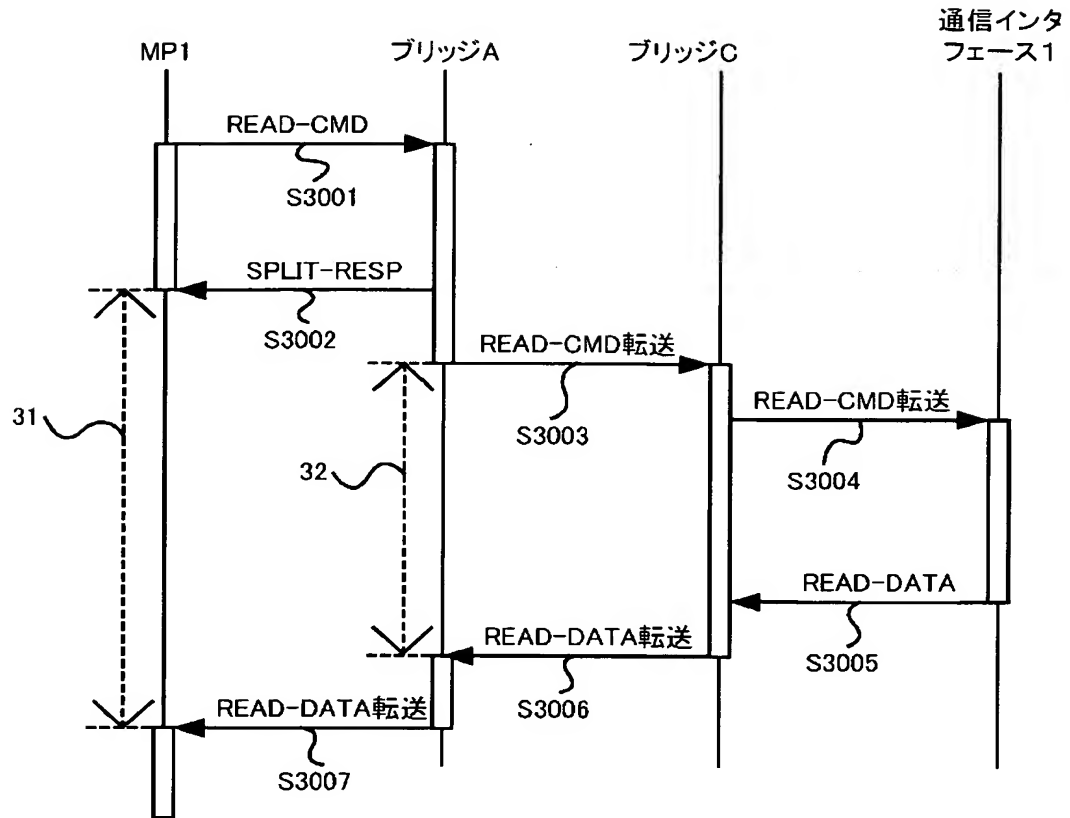
【書類名】 図面  
【図 1】



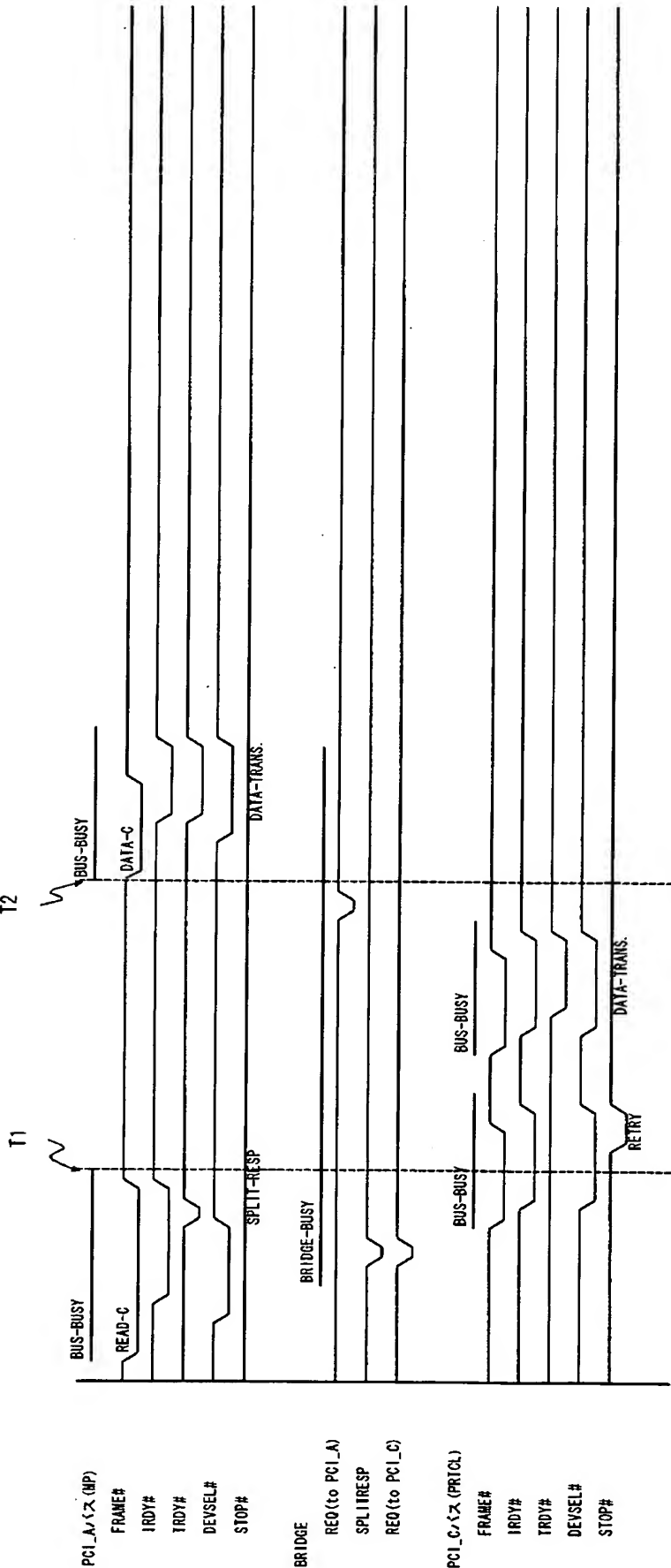
【圖 2】



【図 3】

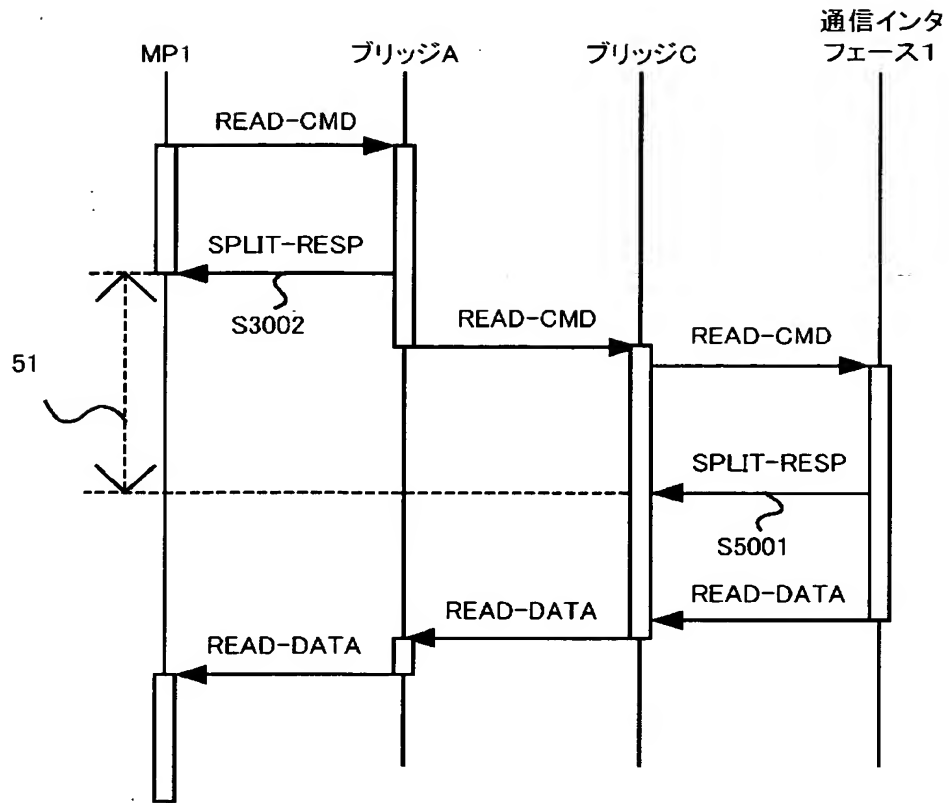


【図 4】

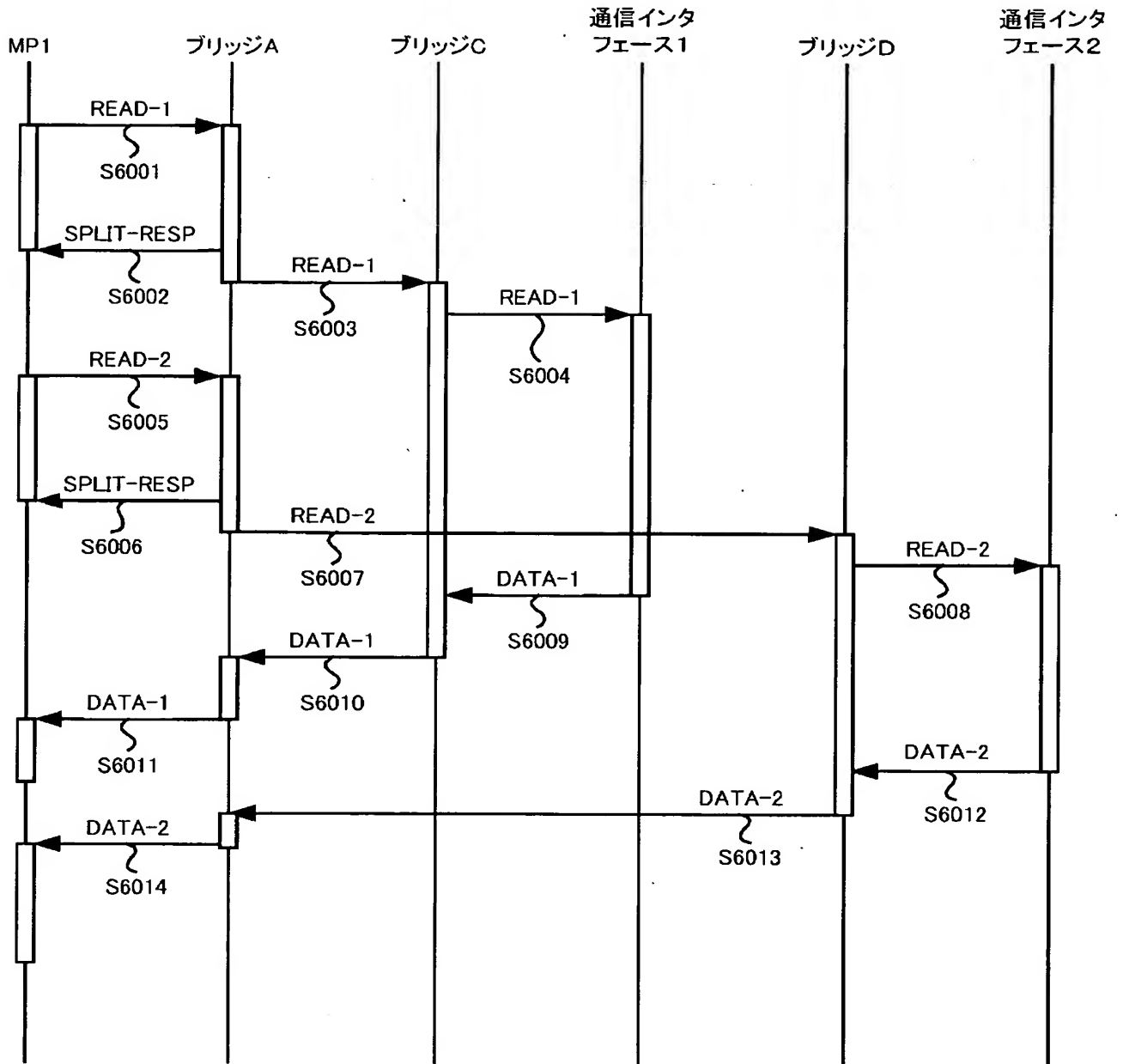




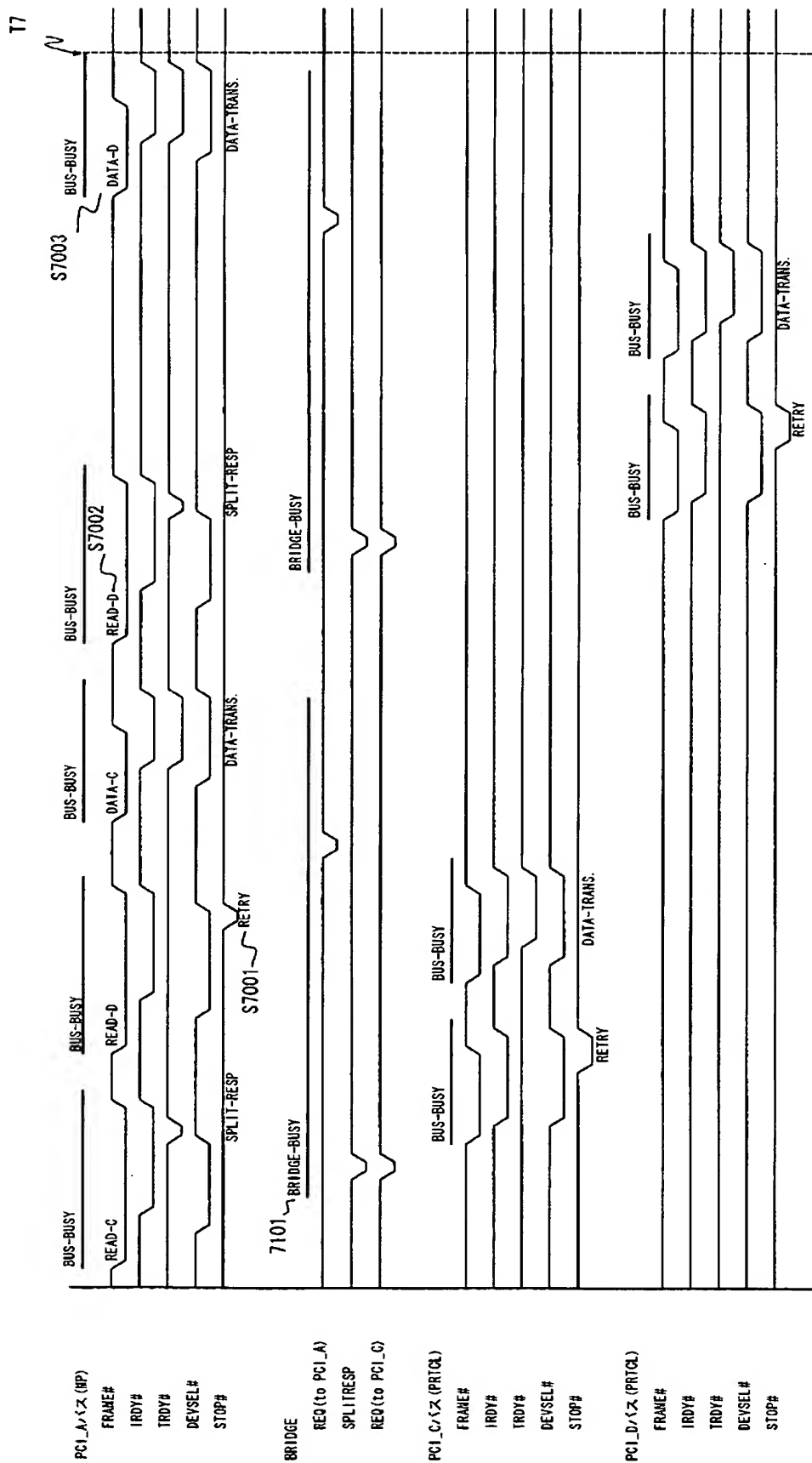
【図 5】



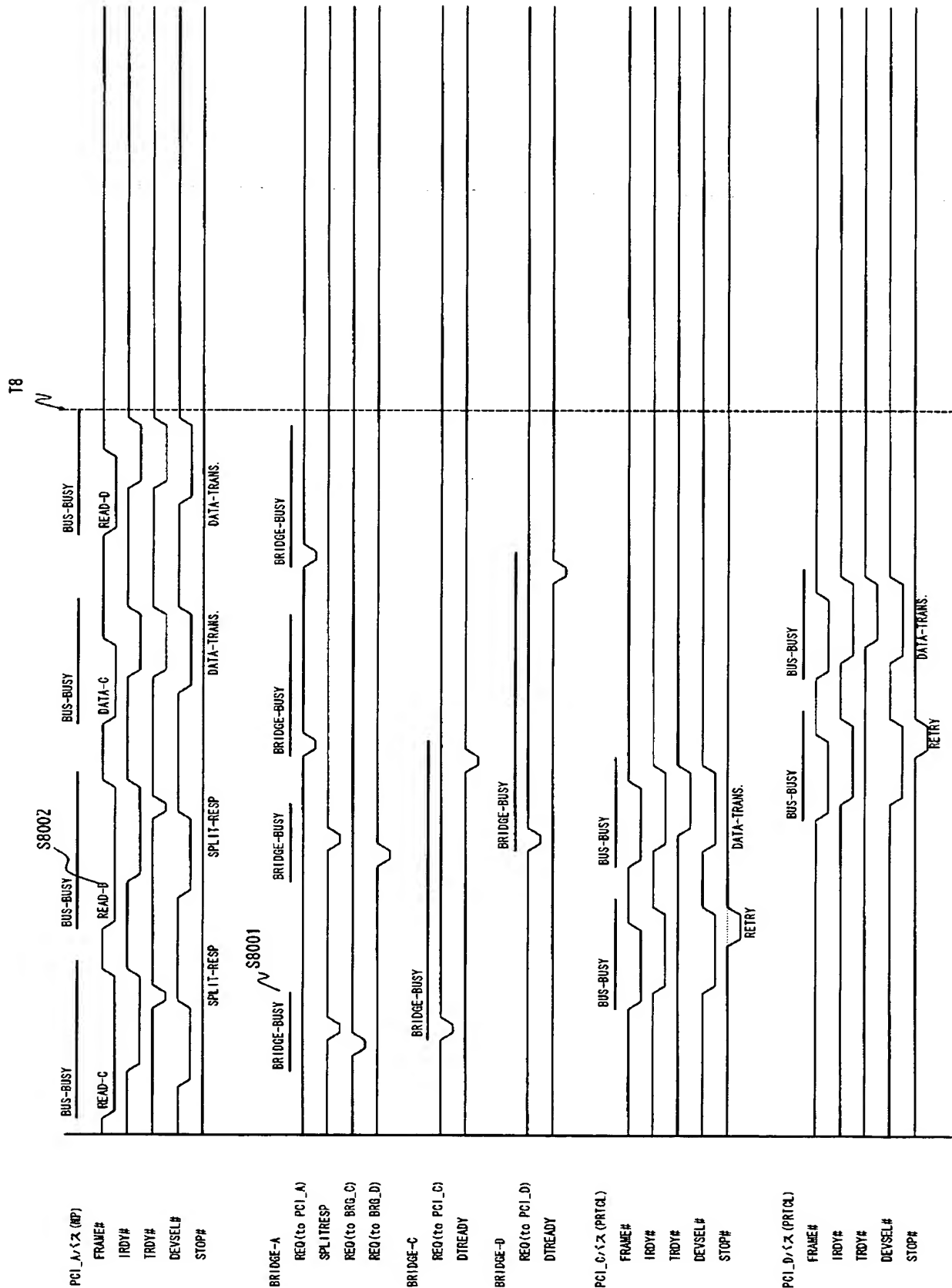
【図 6】



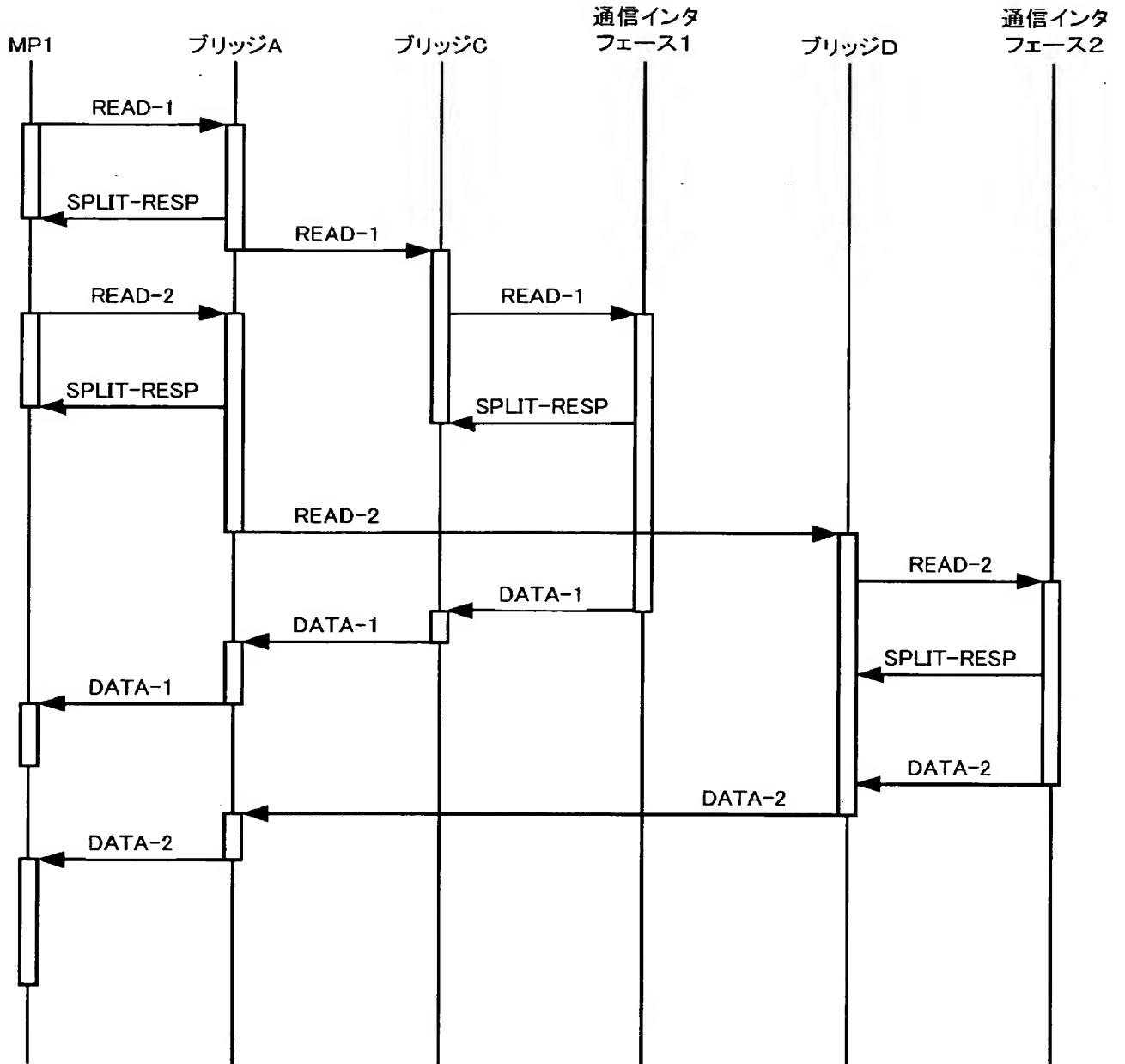
【圖 7】



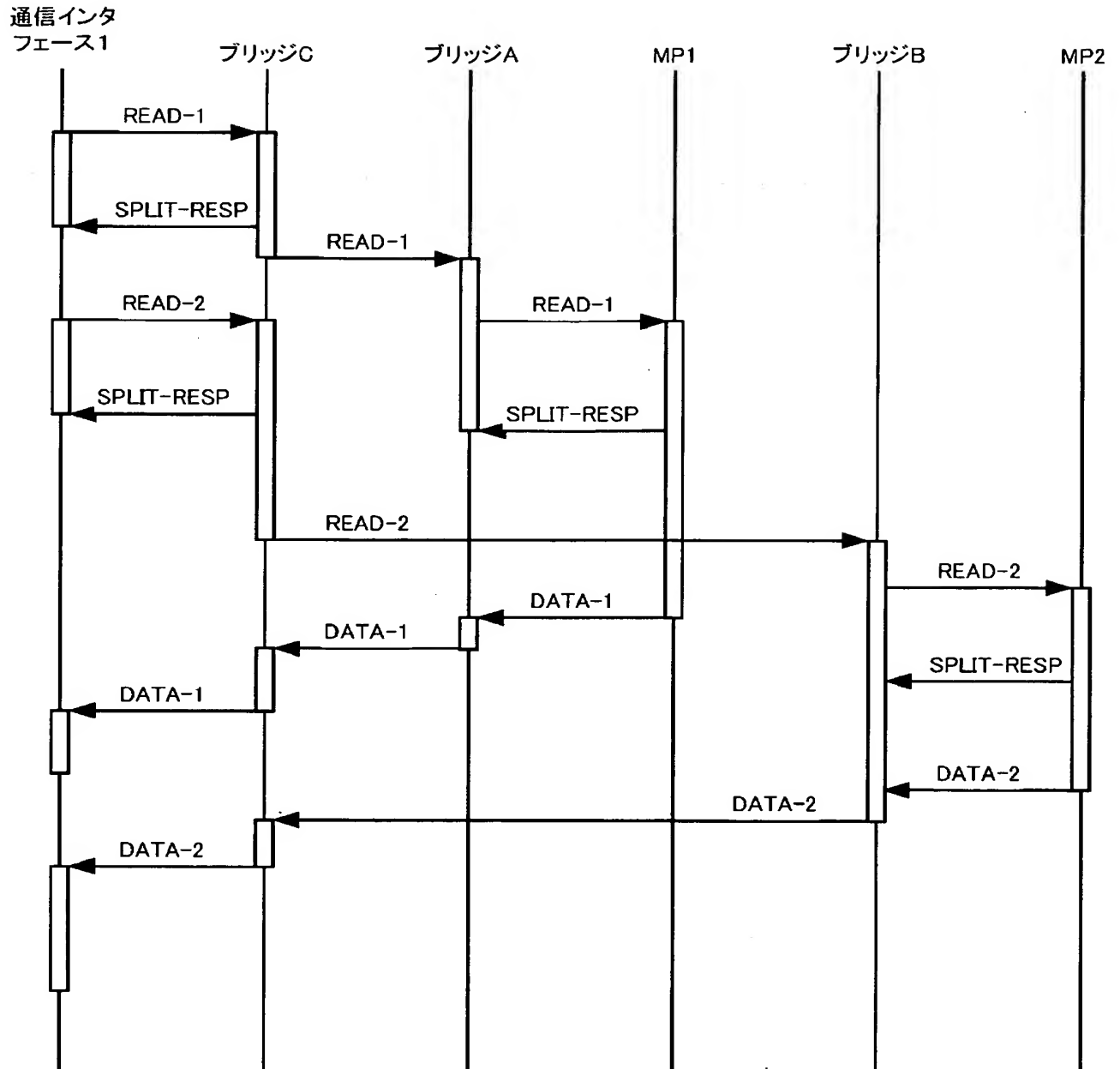
【図 8】



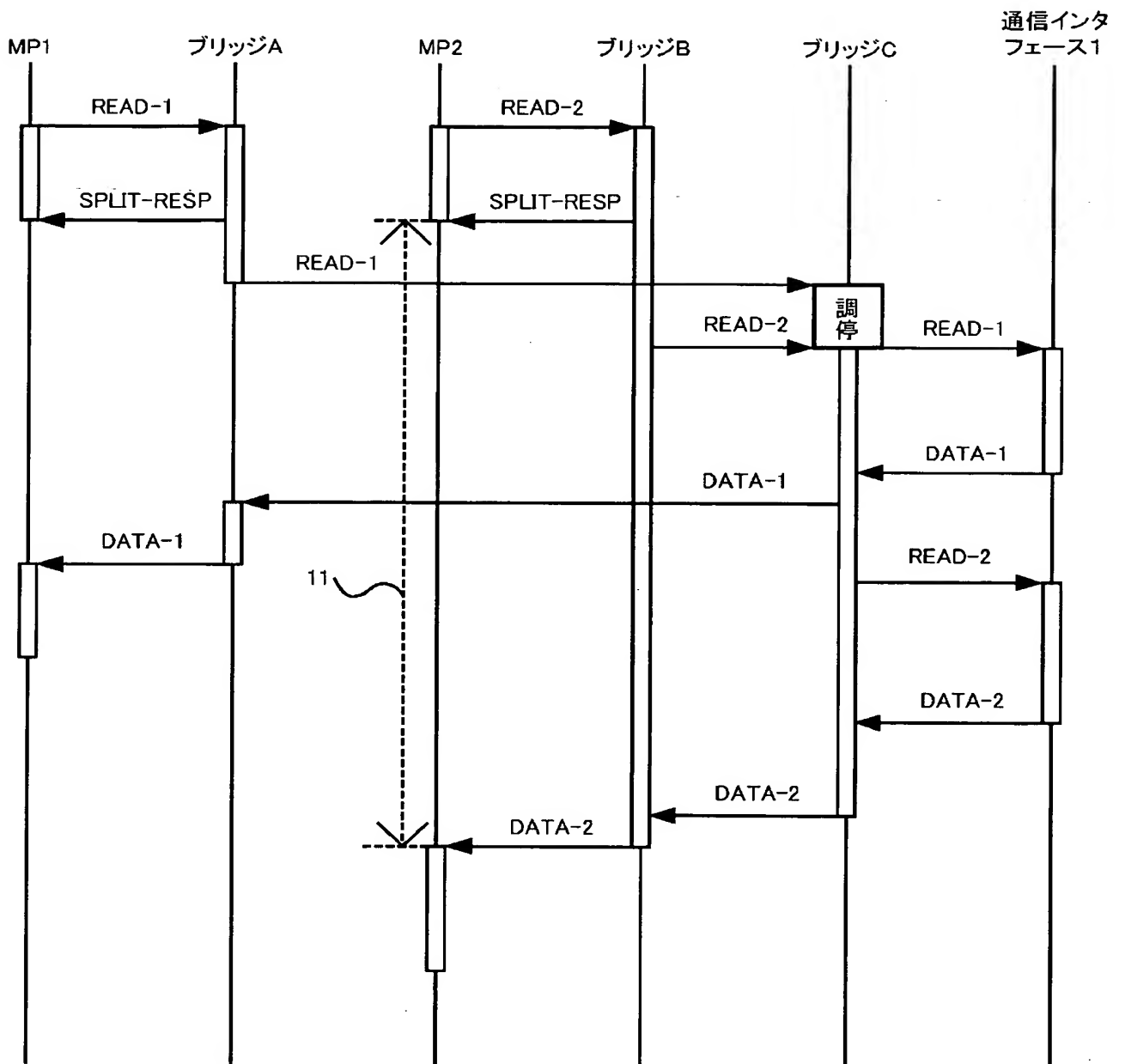
【図 9】



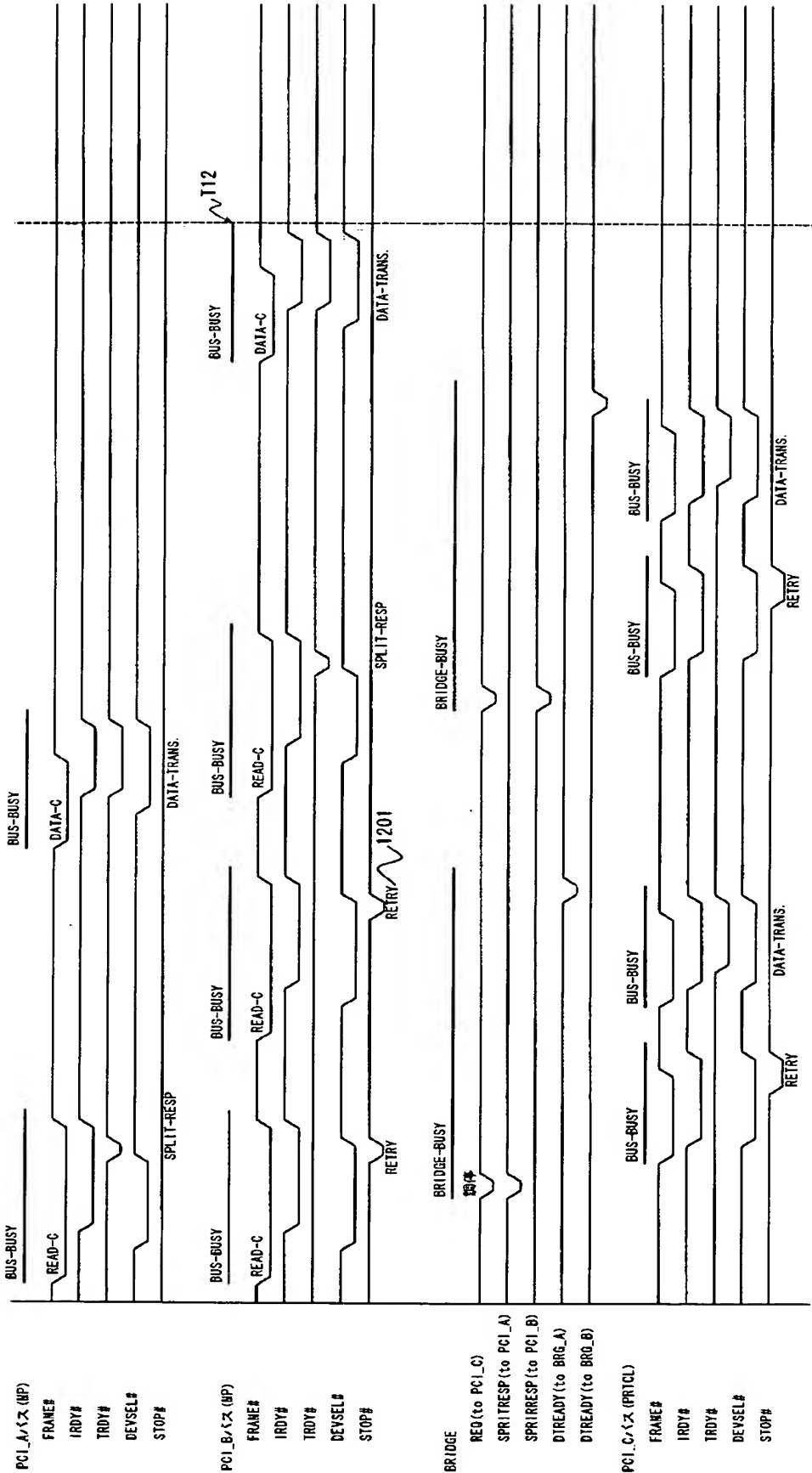
【図 10】



【図 11】

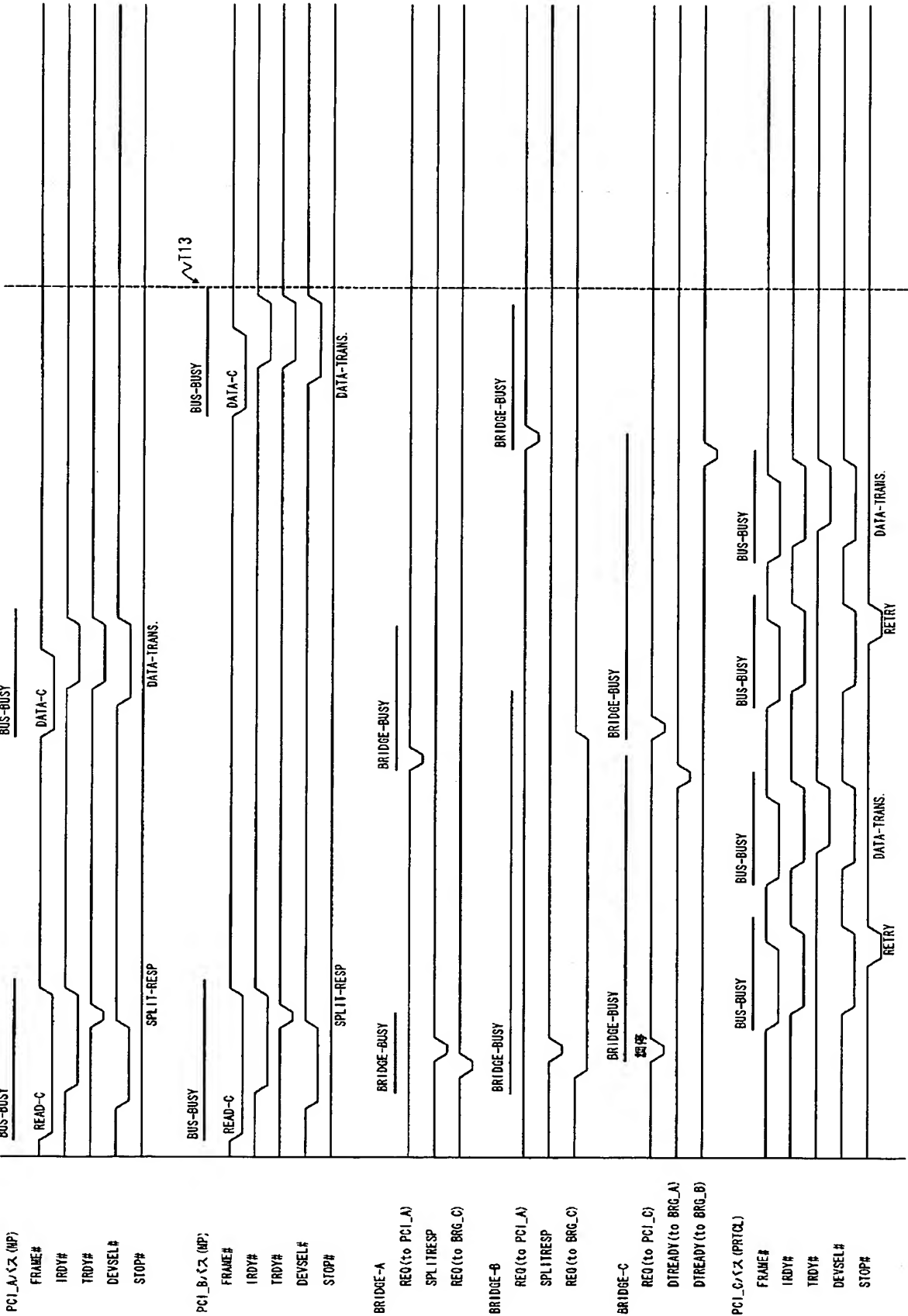


【図 12】

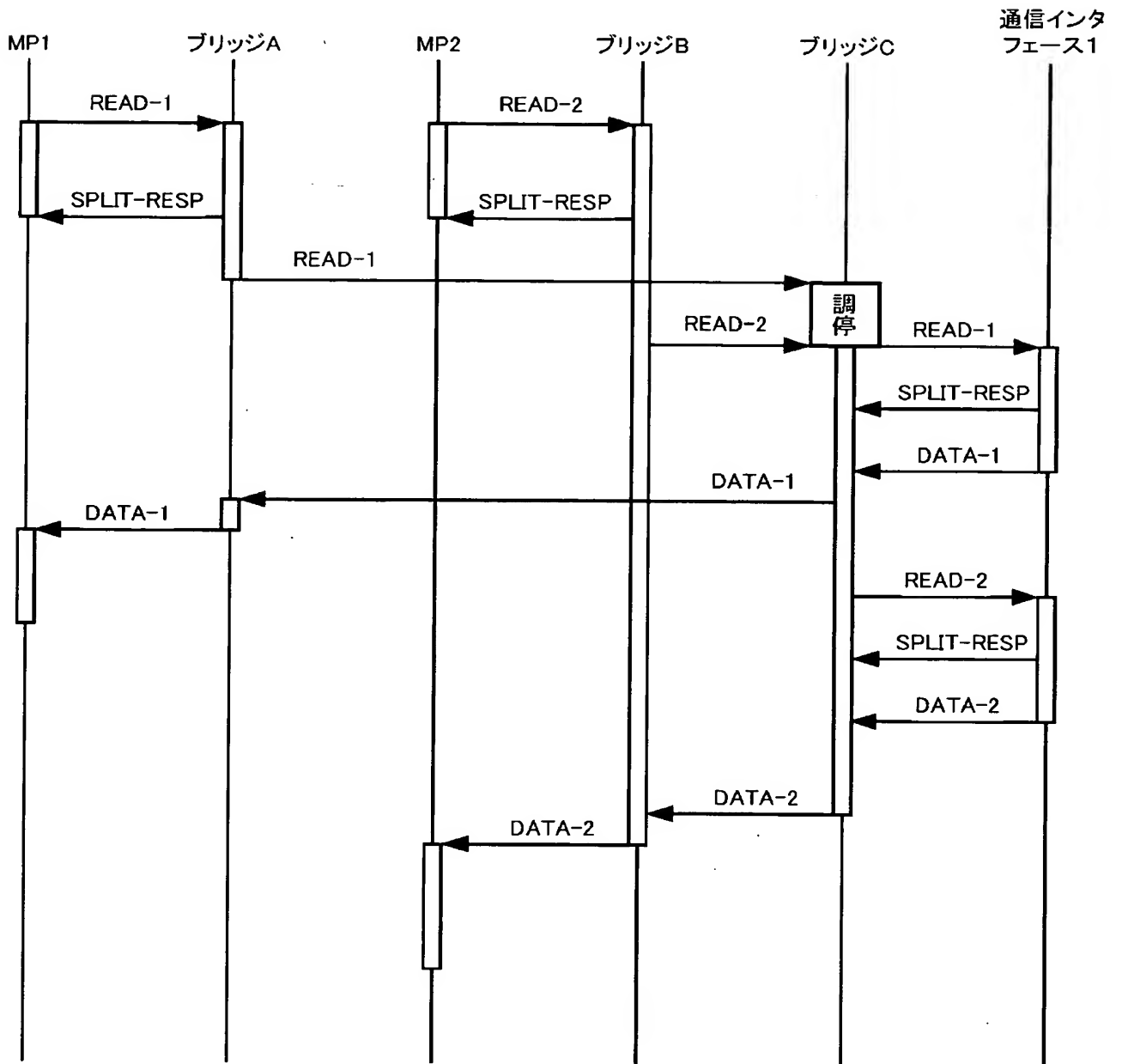




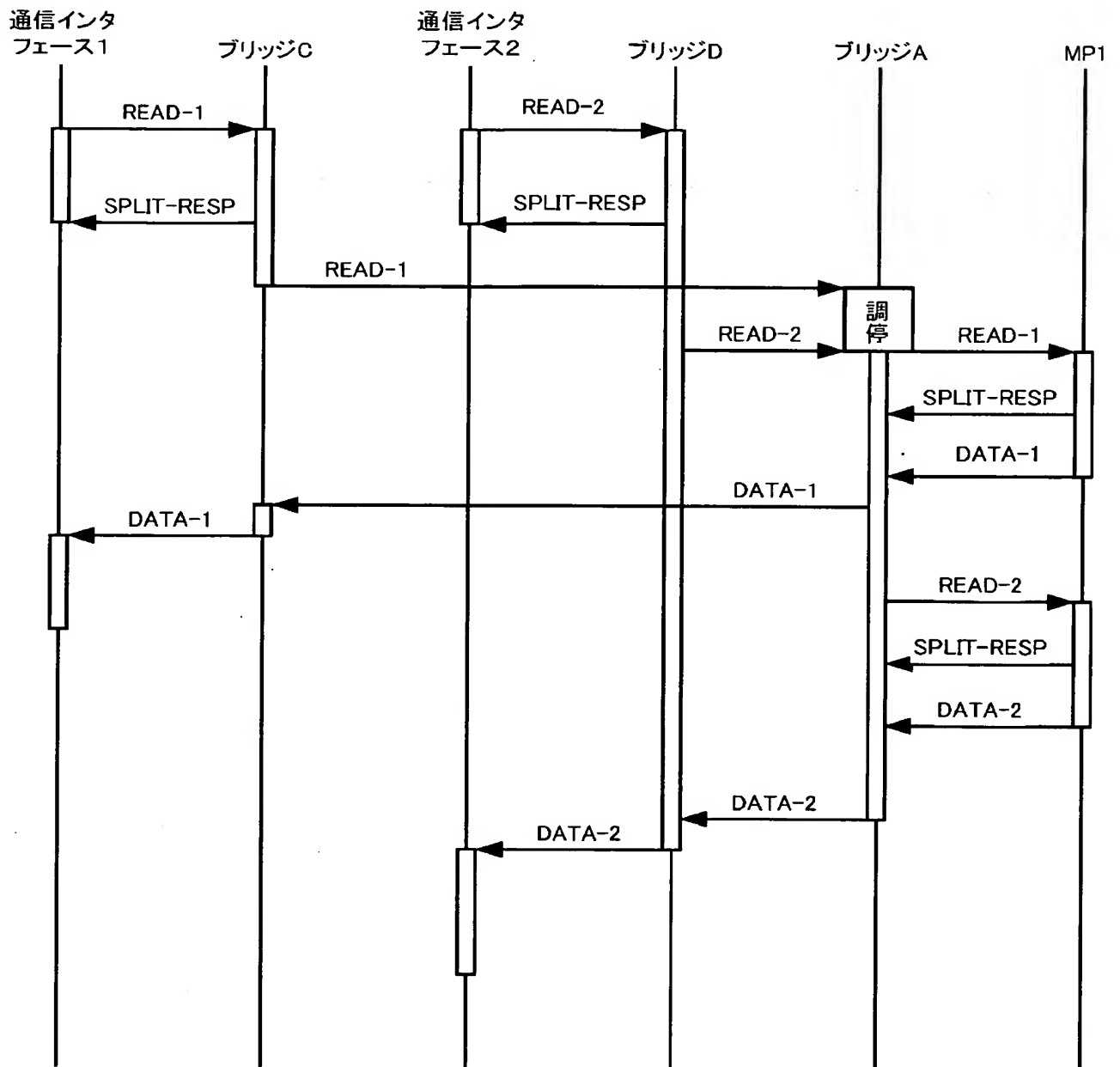
【図 13】



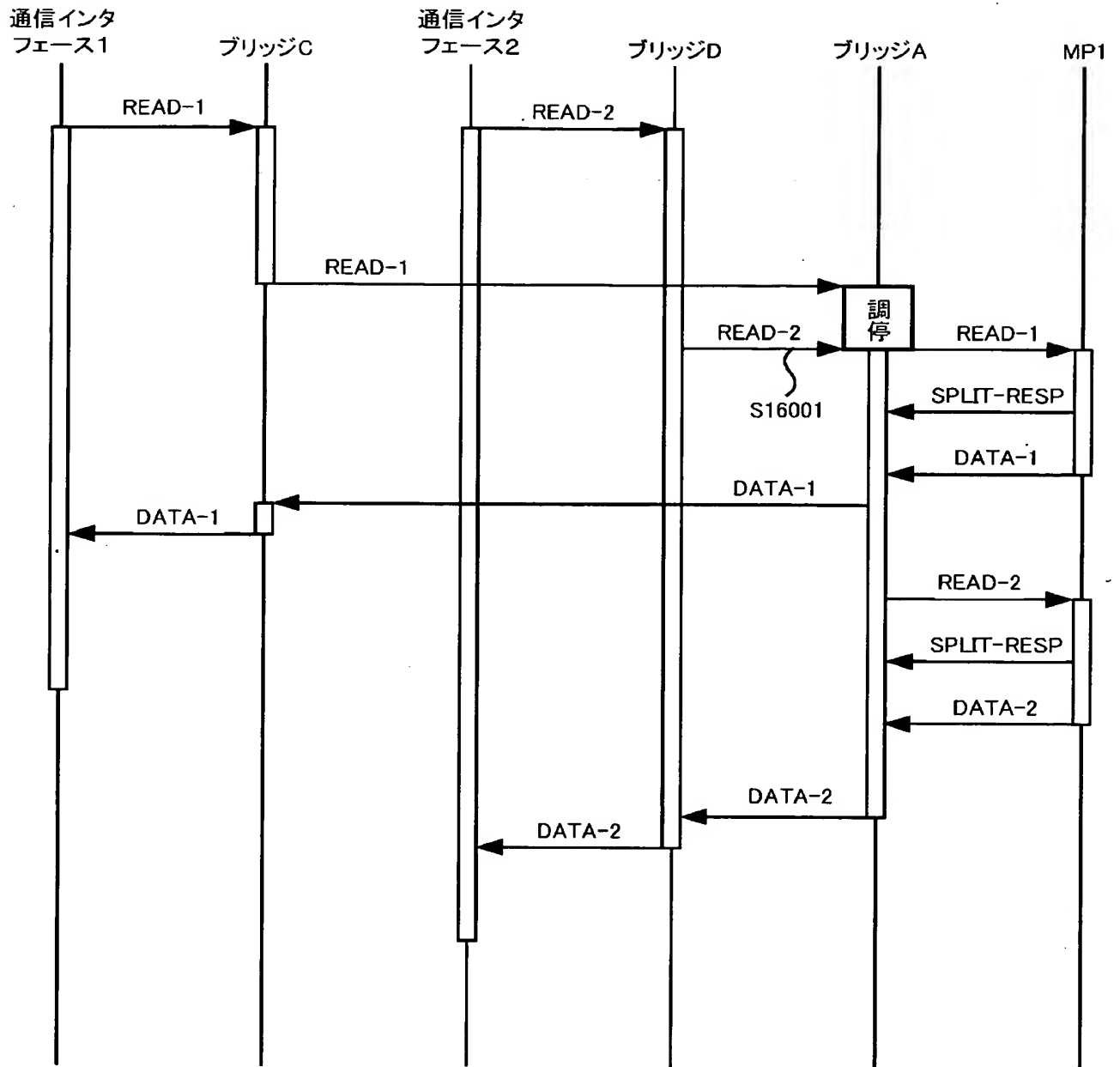
【図 14】



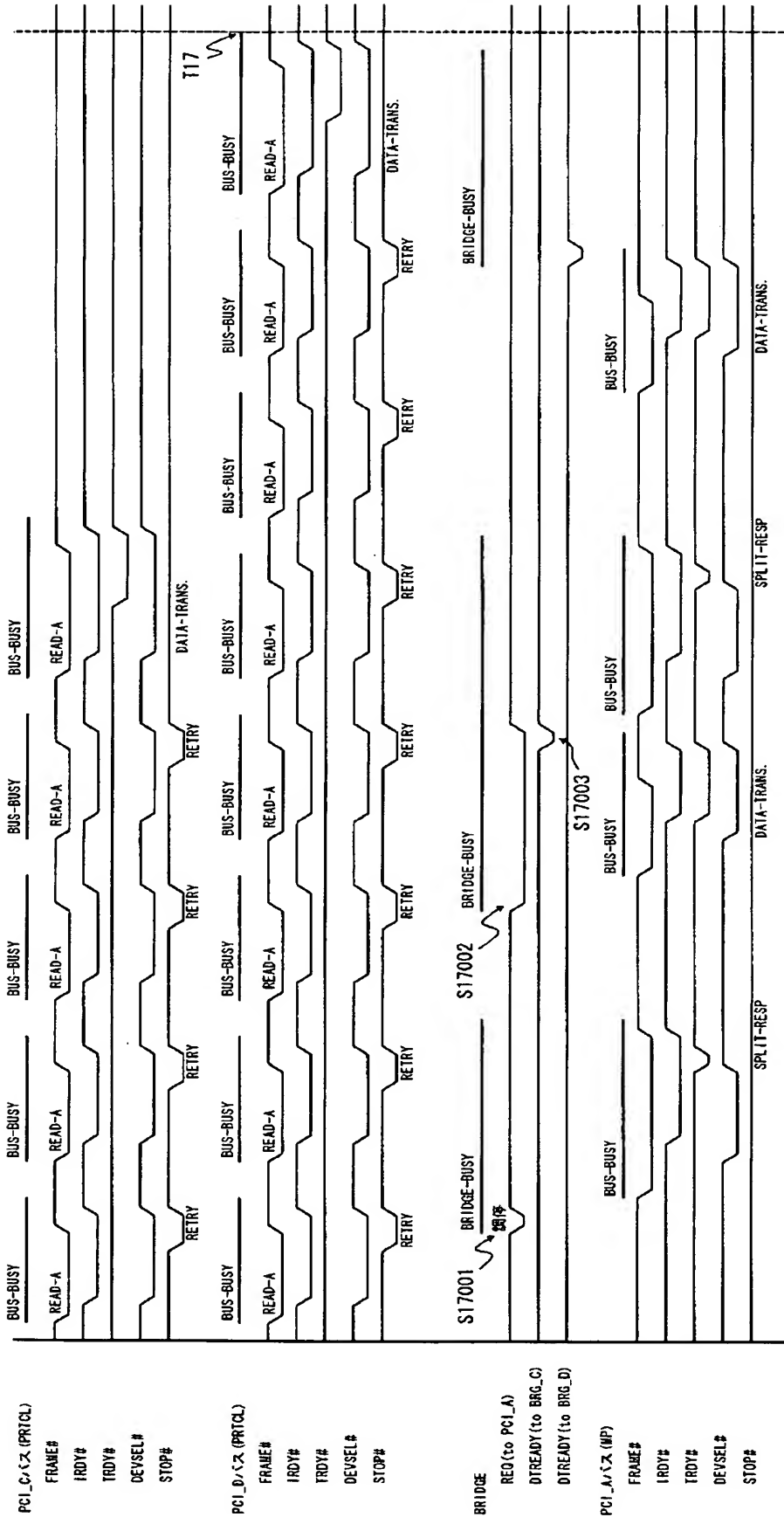
【図 15】



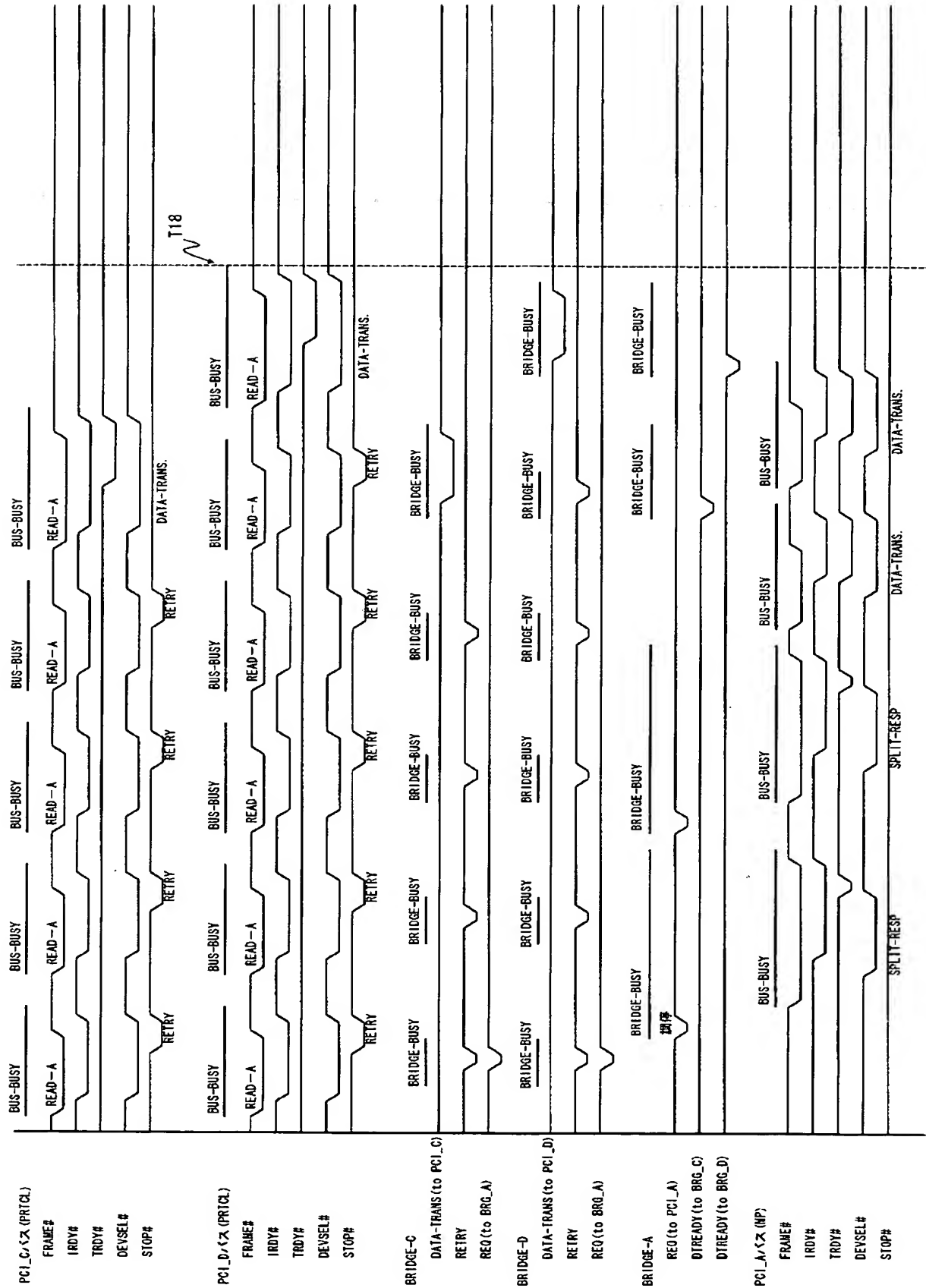
【図 16】



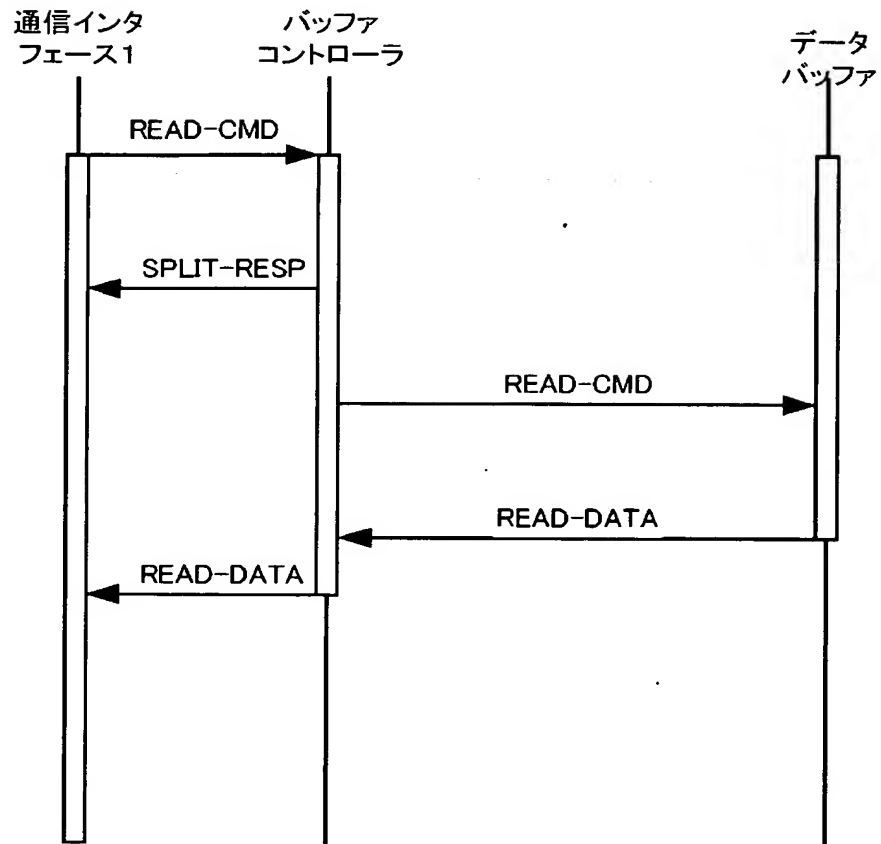
【図 17】



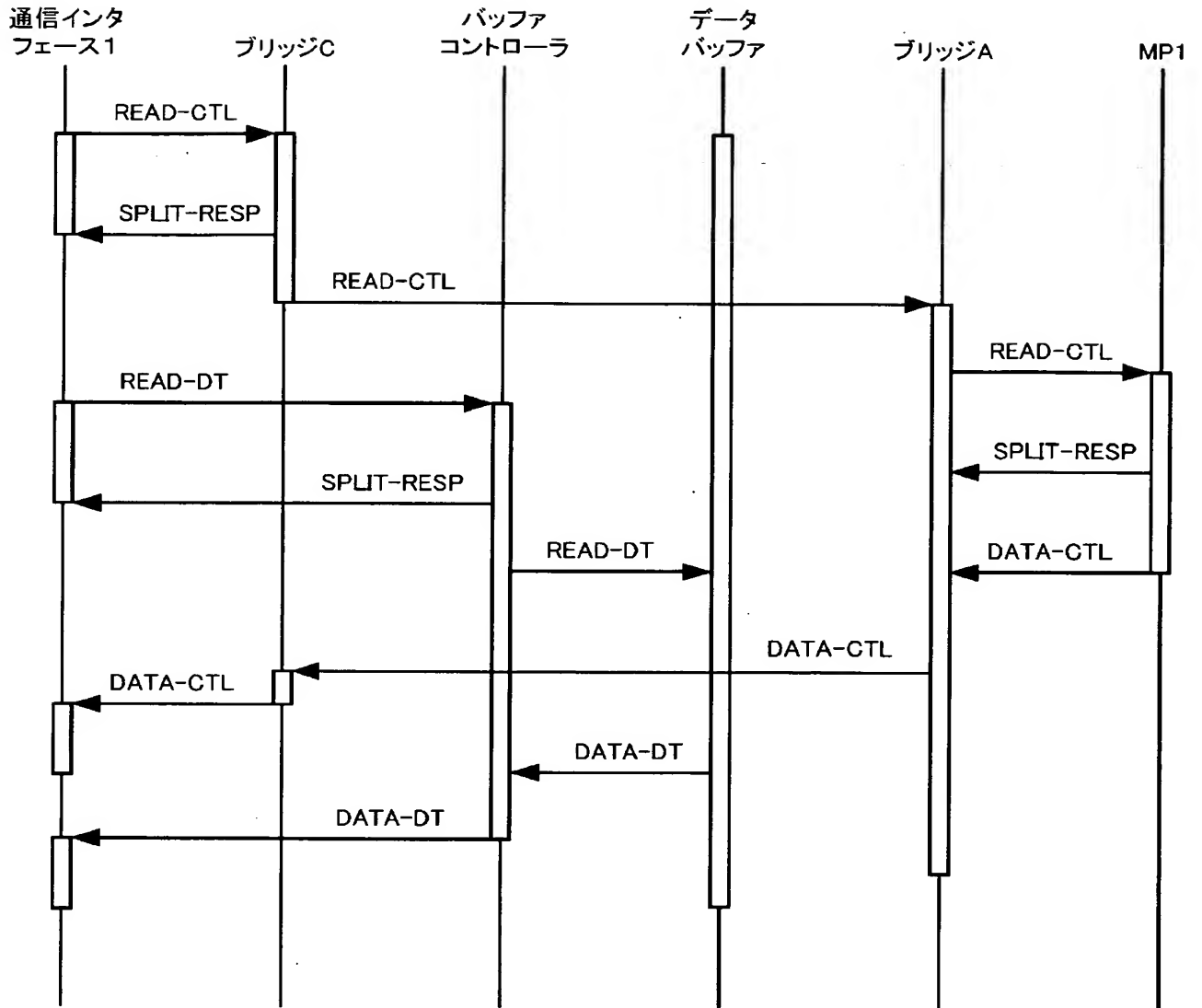
【図 18】



【図 19】



【図 20】





**【書類名】 要約書****【要約】**

**【解決手段】** 情報処理装置から送信されるデータ入出力要求を受信するチャネル制御部と、記憶デバイスの制御を行うディスク制御部と、キャッシュメモリとを備え、チャネル制御部は情報処理装置との間で通信を行う通信インタフェース部と、通信インタフェース部と第1のバスを介して接続し、データの転送を行うデータ転送部と、データ転送部と第2のバスを介して接続するプロセッサとを備える。通信インタフェース部は、プロセッサに対する読み出しコマンドをデータ転送部に送信する。データ転送部は第1のバスが第1の通信規約に従う場合はスプリット応答を通信インタフェース部に送信する。データ転送部は読み出しコマンドをプロセッサに送信する。プロセッサはスプリット応答をデータ転送部に送信し、受信した読み出しコマンドに応じた読み出しデータをデータ転送部に送信する。データ転送部は受信した読み出しデータを通信インタフェース部に送信する。

**【選択図】** 図2

特願 2 0 0 3 - 4 0 2 9 9 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所